日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００２年１０月１８日
出願番号 Application Number: [ST. 10/C]:	特願２００２－３０３８５９ [ＪＰ２００２－３０３８５９]
出願人 Applicant(s):	株式会社東芝

２００３年　９月　９日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

出証番号　出証特２００３－３０７３８０７

【書類名】　特許願
【整理番号】　13857501
【提出日】　平成14年10月18日
【あて先】　特許庁長官殿
【国際特許分類】　H01L 27/10
【発明の名称】　半導体記憶装置及びその製造方法
【請求項の数】　27
【発明者】
【住所又は居所】　神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
【氏名】　鬼頭　傑
【特許出願人】
【識別番号】　000003078
【住所又は居所】　東京都港区芝浦一丁目１番１号
【氏名又は名称】　株式会社　東　芝
【代理人】
【識別番号】　100075812
【弁理士】
【氏名又は名称】　吉　武　賢　次
【選任した代理人】
【識別番号】　100088889
【弁理士】
【氏名又は名称】　橘　谷　英　俊
【選任した代理人】
【識別番号】　100082991
【弁理士】
【氏名又は名称】　佐　藤　泰　和

【選任した代理人】
【識別番号】　100096921
【弁理士】
【氏名又は名称】　吉　元　弘
【選任した代理人】
【識別番号】　100103263
【弁理士】
【氏名又は名称】　川　崎　康
【手数料の表示】
【予納台帳番号】　087654
【納付金額】　21,000円
【提出物件の目録】
【物件名】　明細書　1
【物件名】　図面　1
【物件名】　要約書　1
【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項１】

メモリセルアレイ領域及び周辺回路領域を有する半導体記憶装置において、

前記メモリセルアレイ領域及び前記周辺回路領域における半導体基板上に、第１の絶縁膜を介して形成された、シリコン層を少なくとも一部に含む導電層及び第２の絶縁膜を含むゲート電極と、

前記メモリセルアレイ領域における前記ゲート電極に含まれる前記導電層の側面及び前記半導体基板上に形成された第１の酸化膜と、

前記周辺回路領域における前記ゲート電極に含まれる前記導電層の側面及び前記半導体基板上に形成された、前記第１の酸化膜より膜厚が薄い第２の酸化膜と、

前記メモリセルアレイ領域における前記ゲート電極の側面に形成された第１の窒化膜と、

前記周辺回路領域における前記ゲート電極の側面に形成された、前記第１の窒化膜より膜厚が厚い第２の窒化膜と、

を備えることを特徴とする半導体記憶装置。

【請求項２】

前記メモリセルアレイ領域における前記ゲート電極の側面下部において前記第１の酸化膜により形成されたバーズビークの方が、前記周辺回路領域における前記ゲート電極の側面下部において前記第２の酸化膜により形成されたバーズビークより大きいことを特徴とする請求項１記載の半導体記憶装置。

【請求項３】

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第２の酸化膜とをマスクとして前記半導体基板の表面部分に不純物を注入されて形成された第１のソース及びドレイン拡散層と、

前記メモリセルアレイ領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第１の酸化膜とをマスクとして前記半導体基板の

表面部分に不純物を注入されて形成された第２のソース及びドレイン拡散層と、

をさらに備えることを特徴とする請求項１又は２記載の半導体記憶装置。

【請求項４】

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第２の酸化膜と、前記ゲート電極の側面に形成された前記第２の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入されて形成された第３のソース及びドレイン拡散層と、

前記メモリセルアレイ領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第１の酸化膜と、前記ゲート電極の側面に形成された前記第１の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入されて形成された第４のソース及びドレイン拡散層と、

をさらに備えることを特徴とする請求項１乃至３のいずれかに記載の半導体記憶装置。

【請求項５】

メモリセルアレイ領域及び周辺回路領域を有する半導体記憶装置において、

前記メモリセルアレイ領域及び前記周辺回路領域における半導体基板上に、第１の絶縁膜を介して形成された、シリコン層を少なくとも一部に含む導電層から成るゲート電極と、

前記メモリセルアレイ領域における前記ゲート電極の側面に形成された第１の酸化膜と、

前記周辺回路領域における前記ゲート電極の側面に形成された、前記第１の酸化膜より膜厚が薄い第２の酸化膜と、

前記メモリセルアレイ領域における前記ゲート電極の側面の前記第１の酸化膜上に形成された第１の窒化膜と、

前記周辺回路領域における前記ゲート電極の側面の前記第２の酸化膜上に形成された、前記第１の窒化膜より膜厚が厚い第２の窒化膜と、

を備えることを特徴とする半導体記憶装置。

【請求項６】

前記メモリセルアレイ領域における前記ゲート電極の側面下部において前記第

１の酸化膜により形成されたバーズビークの方が、前記周辺回路領域における前記ゲート電極の側面下部において前記第２の酸化膜により形成されたバーズビークより大きいことを特徴とする請求項５記載の半導体記憶装置。

【請求項７】

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極の側面における前記第２の酸化膜とをマスクとして前記半導体基板の表面部分に不純物を注入されて形成された第１のソース及びドレイン拡散層と、

前記メモリセルアレイ領域において、前記ゲート電極と、前記ゲート電極の側面における前記第１の酸化膜とをマスクとして前記半導体基板の表面部分に不純物を注入されて形成された第２のソース及びドレイン拡散層と、

をさらに備えることを特徴とする請求項５又は６記載の半導体記憶装置。

【請求項８】

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極の側面における前記第２の酸化膜と前記第２の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入されて形成された第３のソース及びドレイン拡散層と、

前記メモリセルアレイ領域において、前記ゲート電極と、前記ゲート電極の側面における前記第１の酸化膜と前記第１の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入されて形成された第４のソース及びドレイン拡散層と、

をさらに備えることを特徴とする請求項５乃至７のいずれかに記載の半導体記憶装置。

【請求項９】

前記周辺回路領域において、前記ゲート電極の表面上と、前記ゲート電極が形成されていない領域における前記半導体基板の表面上とに形成された金属シリコン化合物から成る膜と、

前記メモリセルアレイ領域において、前記ゲート電極の表面上と、前記ゲート電極が形成されていない領域における前記半導体基板の表面上とに形成された金属シリコン化合物から成る膜と、

をさらに備えることを特徴とする請求項５乃至８のいずれかに記載の半導体記

憶装置。

【請求項１０】

前記メモリセルアレイ領域における前記半導体基板の表面部分に形成されたトレンチキャパシタをさらに備えることを特徴とする請求項１乃至９のいずれかに記載の半導体記憶装置。

【請求項１１】

前記メモリセルアレイ領域における前記半導体基板の上部に形成されたスタックキャパシタをさらに備えることを特徴とする請求項１乃至９のいずれかに記載の半導体記憶装置。

【請求項１２】

メモリセルアレイ領域及び周辺回路領域を有する半導体記憶装置の製造方法において、

前記メモリセルアレイ領域及び前記周辺回路領域における半導体基板上に第１の絶縁膜を形成する工程と、

前記第１の絶縁膜上に、シリコン層を少なくとも一部に含む導電層及び第２の絶縁膜を形成する工程と、

前記導電層及び第２の絶縁膜をゲート電極の形状にパターニングしてゲート電極を形成する工程と、

前記ゲート電極に含まれる前記導電層の側面及び前記半導体基板上に酸化雰囲気中で熱処理を施して第１の酸化膜を形成する工程と、

表面全体に第１の窒化膜を形成する工程と、

前記第１の窒化膜をパターニングして、前記メモリセルアレイ領域における前記第１の窒化膜を除去し、前記周辺回路領域における前記第１の窒化膜を残存させる工程と、

前記周辺回路領域を前記第１の窒化膜で覆った状態で、前記メモリセルアレイ領域における前記ゲート電極に含まれる前記導電層の側面及び前記半導体基板上に酸化雰囲気中で熱処理を施して第２の酸化膜を形成する工程と、

前記周辺回路領域に残存する前記第１の窒化膜にエッチングを行い、前記周辺回路領域における前記ゲート電極の側面に前記第１の窒化膜を残存させる工程と

表面全体に第２の窒化膜を形成する工程と、

前記第２の窒化膜にエッチングを行い、前記メモリセルアレイ領域及び前記周辺回路領域における前記ゲート電極の側面に前記第２の窒化膜を残存させる工程と、

を備えることを特徴とする半導体記憶装置の製造方法。

【請求項１３】

前記メモリセルアレイ領域において、前記ゲート電極に含まれる前記導電層の側面に前記第１及び第２の酸化膜が形成され、前記周辺回路領域において、前記ゲート電極に含まれる前記導電層の側面に前記第１の酸化膜が形成されていることで、前記周辺回路領域より前記メモリセルアレイ領域の方が前記ゲート電極に含まれる前記導電層の側面の酸化膜厚が厚いことを特徴とする請求項１２記載の半導体記憶装置の製造方法。

【請求項１４】

前記周辺回路領域を前記第１の窒化膜で覆った状態で、前記メモリセルアレイ領域における前記ゲート電極に含まれる前記導電層の側面及び前記半導体基板上に第２の酸化膜を形成することにより、前記周辺回路領域より前記メモリセルアレイ領域の方が前記ゲート電極の側面下部に形成されるバーズビークが大きいことを特徴とする請求項１２又は１３記載の半導体記憶装置の製造方法。

【請求項１５】

前記メモリセルアレイ領域において、前記ゲート電極の側面に前記第１及び第２の窒化膜が形成され、前記周辺回路領域において、前記ゲート電極の側面に前記第１の酸化膜が形成されていることで、前記周辺回路領域より前記メモリセルアレイ領域の方が前記ゲート電極の側面の窒化膜厚が厚いことを特徴とする請求項１２乃至１４のいずれかに記載の半導体記憶装置の製造方法。

【請求項１６】

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第１の酸化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第１のソース及びドレイン拡散層を形成する工程と、

前記メモリセルアレイ領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第１の酸化膜及び前記第２の酸化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第２のソース及びドレイン拡散層を形成する工程と、

をさらに備えることを特徴とする請求項１２乃至１５のいずれかに記載の半導体記憶装置の製造方法。

【請求項１７】

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第１の酸化膜と、前記ゲート電極の側面に形成された前記第１の窒化膜及び前記第２の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第３のソース及びドレイン拡散層を形成する工程と、

前記メモリセルアレイ領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第１の酸化膜及び前記第２の酸化膜と、前記ゲート電極の側面に形成された前記第２の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第４のソース及びドレイン拡散層を形成する工程と、

をさらに備えることを特徴とする請求項１６記載の半導体記憶装置の製造方法。

【請求項１８】

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第１の酸化膜と、前記ゲート電極の側面に形成された前記第１の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第５のソース及びドレイン拡散層を形成する工程と、

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第１の酸化膜と、前記ゲート電極の側面に形成された前記第１の窒化膜及び前記第２の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第６のソース及びドレイン拡散層を形成する工程と、

前記メモリセルアレイ領域において、前記ゲート電極と、前記ゲート電極に含まれる前記導電層の側面の前記第１の酸化膜及び前記第２の酸化膜と、前記ゲー

ト電極の側面に形成された前記第２の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第７のソース及びドレイン拡散層を形成する工程と、

をさらに備えることを特徴とする請求項１６記載の半導体記憶装置の製造方法。

【請求項１９】

メモリセルアレイ領域及び周辺回路領域を有する半導体記憶装置の製造方法において、

前記メモリセルアレイ領域及び前記周辺回路領域における半導体基板上に第１の絶縁膜を形成する工程と、

前記第１の絶縁膜上にシリコン層を少なくとも一部に含む導電層を形成する工程と、

前記導電層をゲート電極の形状にパターニングしてゲート電極を形成する工程と、

前記ゲート電極の側面及び前記半導体基板上に酸化雰囲気中で熱処理を施して第１の酸化膜を形成する工程と、

表面全体に第１の窒化膜を形成する工程と、

前記第１の窒化膜をパターニングして、前記メモリセルアレイ領域における前記第１の窒化膜を除去し、前記周辺回路領域における前記第１の窒化膜を残存させる工程と、

前記周辺回路領域を前記第１の窒化膜で覆った状態で、前記メモリセルアレイ領域における前記ゲート電極の側面及び前記半導体基板上に酸化雰囲気中で熱処理を施して第２の酸化膜を形成する工程と、

前記周辺回路領域に残存する前記第１の窒化膜にエッチングを行い、前記周辺回路領域における前記ゲート電極の側面に前記第１の窒化膜を残存させる工程と、

表面全体に第２の窒化膜を形成する工程と、

前記第２の窒化膜にエッチングを行い、前記メモリセルアレイ領域及び前記周辺回路領域における前記ゲート電極の側面に前記第２の窒化膜を残存させる工程

と、

を備えることを特徴とする半導体記憶装置の製造方法。

【請求項２０】

前記メモリセルアレイ領域において、前記ゲート電極の側面に前記第１及び第２の酸化膜が形成され、前記周辺回路領域において、前記ゲート電極の側面に前記第１の酸化膜が形成されていることで、前記周辺回路領域より前記メモリセルアレイ領域の方が前記ゲート電極の側面の酸化膜厚が厚いことを特徴とする請求項１９記載の半導体記憶装置の製造方法。

【請求項２１】

前記周辺回路領域を前記第１の窒化膜で覆った状態で、前記メモリセルアレイ領域における前記ゲート電極の側面及び前記半導体基板上に第２の酸化膜を形成することにより、前記周辺回路領域より前記メモリセルアレイ領域の方が前記ゲート電極の側面下部に形成されるバーズビークが大きいことを特徴とする請求項１９又は２０記載の半導体記憶装置の製造方法。

【請求項２２】

前記メモリセルアレイ領域において、前記ゲート電極の側面に前記第１及び第２の窒化膜が形成され、前記周辺回路領域において、前記ゲート電極の側面に前記第１の酸化膜が形成されていることで、前記周辺回路領域より前記メモリセルアレイ領域の方が前記ゲート電極の側面の窒化膜厚が厚いことを特徴とする請求項１９乃至２１のいずれかに記載の半導体記憶装置の製造方法。

【請求項２３】

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極の側面の前記第１の酸化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第１のソース及びドレイン拡散層を形成する工程と、

前記メモリセルアレイ領域において、前記ゲート電極と、前記ゲート電極の側面の前記第１の酸化膜及び前記第２の酸化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第２のソース及びドレイン拡散層を形成する工程と、

をさらに備えることを特徴とする請求項１９乃至２２のいずれかに記載の半導

体記憶装置の製造方法。

【請求項２４】

前記周辺回路領域において、前記ゲート電極と、前記ゲート電極の側面の前記第１の酸化膜と、前記ゲート電極の側面に形成された前記第１の窒化膜及び前記第２の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第３のソース及びドレイン拡散層を形成する工程と、

前記メモリセルアレイ領域において、前記ゲート電極と、前記ゲート電極の側面の前記第１の酸化膜及び前記第２の酸化膜と、前記ゲート電極の側面に形成された前記第２の窒化膜とをマスクとして前記半導体基板の表面部分に不純物を注入し、第４のソース及びドレイン拡散層を形成する工程と、

をさらに備えることを特徴とする請求項２３記載の半導体記憶装置の製造方法。

【請求項２５】

前記周辺回路領域において、前記第１の窒化膜及び前記第２の窒化膜が側面に形成された前記ゲート電極における前記導電層上の前記第１の酸化膜を除去して表面を露出させ、前記ゲート電極が形成されていない領域における前記半導体基板上の前記第１の絶縁膜及び前記第１の酸化膜を除去して表面を露出させ、前記メモリセルアレイ領域において、前記第２の窒化膜が側面に形成された前記ゲート電極における前記導電層上の前記第１の酸化膜及び前記第２の酸化膜を除去して表面を露出させ、前記ゲート電極が形成されていない領域における前記半導体基板上の前記第１の絶縁膜、前記第１の酸化膜及び前記第２の酸化膜を除去して表面を露出させる工程と、

表面全体に金属膜を形成する工程と、

前記周辺回路領域における表面が露出した前記ゲート電極上と、前記ゲート電極が形成されていない領域における表面が露出した前記半導体基板上と、前記メモリセルアレイ領域における表面が露出した前記ゲート電極上と、前記ゲート電極が形成されていない領域における表面が露出した前記半導体基板上とに存在するそれぞれの前記金属膜に熱処理を施して金属シリコン化合物から成る膜を形成する工程をさらに備えることを特徴とする請求項１９乃至２４のいずれかに記載

の半導体記憶装置の製造方法。

【請求項２６】

前記メモリセルアレイ領域における前記半導体基板の表面部分にトレンチキャパシタを形成する工程をさらに備えることを特徴とする請求項１２乃至２５のいずれかに記載の半導体記憶装置の製造方法。

【請求項２７】

前記メモリセルアレイ領域における前記半導体基板の上部にスタックキャパシタを形成する工程をさらに備えることを特徴とする請求項１２乃至２５のいずれかに記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体記憶装置及びその製造方法に係わり、特にＤＲＡＭ（Dynamic Random Access Memory：記憶保持が必要な随時書き込み読み出しメモリ）あるいはＤＲＡＭ機能を搭載したＤＲＡＭ混載装置及びその製造方法に好適なものに関する。

【０００２】

【従来の技術】

ＤＲＡＭのセル特性（ポーズ／リテンション）を維持し、かつ周辺回路を高速化させることへの要求が高まっているが、この両方の要求を両立させることは非常に困難である。

【０００３】

特に、周辺回路のトランジスタの高速化を実現するためには、ソース及びドレイン層の深さを浅くして短チャネル効果を改善し、チャネル抵抗を低減することで駆動力を増加させることが考えられる。しかし、そのためにはソース、ドレインの拡散層を形成する際の不純物のイオン注入を低加速で行うことが必要であり、基板表面上の酸化膜の膜厚を薄くしなければならない。

【０００４】

基板表面上の酸化膜を薄くするためには、ゲート電極の側面酸化膜の膜厚も薄

くする必要がある。しかし、これはゲートエッジの電界を強めることとなる。この結果、ゲート電極に０［Ｖ］あるいは－０．４［Ｖ］程度の電圧を印加して記憶を保持している状態において、電荷が基板中に抜けていくＧＩＤＬ（Gate Induced Drain Leakage）電流を増加させることとなり、記憶保持特性が悪化する。

【０００５】

従来の製造方法では、ゲート電極加工後におけるゲート電極の側壁酸化プロセスを一度の処理で行っていた。このため、メモリセルアレイ領域と周辺回路領域とにおけるそれぞれの側壁酸化膜の膜厚及びゲート電極における基板表面と接触している端部の形状、さらには基板表面上の酸化膜の膜厚は同じになる。

【０００６】

ところで、ＤＲＡＭセルの特性、特にデータ保持時間特性の点からは、メモリセルアレイ領域におけるトランジスタの側壁酸化膜を厚くし、ゲート電極の端部付近の酸化膜厚を厚くした方が、ゲート電極端部と基板との間の電界集中を緩和しＧＩＤＬ電流を低減することができる。

【０００７】

しかし、従来はメモリセルアレイ領域と周辺回路領域とにおいて同様の酸化膜厚であった。このため、ソース、ドレイン層形成のため不純物のイオン注入を行う際に、厚い酸化膜が存在しても十分に注入できるように、比較的高加速条件で注入を行う必要があり、周辺回路領域におけるトランジスタの拡散層を浅く形成し高速化を図ることが困難であった。

【０００８】

逆に、周辺回路領域におけるトランジスタのソース、ドレイン拡散層を浅くするためにゲート電極の側壁酸化膜厚を薄くすると、メモリセルアレイ領域におけるトランジスタのゲート電極の端部膜厚も低減し、ＧＩＤＬ電流が増加してデータ保持特性の劣化を招くこととなる。

【０００９】

従来の半導体記憶装置を開示する文献として、例えば以下のものが存在する。

【００１０】

【特許文献１】

特開２００２－４３５４９号公報

【特許文献２】

米国特許第６，２３５，５７４Ｂ１号公報

【００１１】

【発明が解決しようとする課題】

このように、従来はメモリセルアレイ領域と周辺回路領域とにおいて、それぞれのゲート電極の側壁酸化膜厚に対する最適条件がトレードオフの関係にあり、いずれか一方を犠牲にするか、あるいはその中間を採用する条件で形成せざるを得ず、メモリセルの保持特性と周辺回路の高速化とを両立させることができなかった。

【００１２】

本発明は上記事情に鑑み、メモリセルの保持特性の向上と周辺回路の高速性とを共に実現することが可能な半導体記憶装置及びその製造方法を提供することを目的とする。

【００１３】

【課題を解決するための手段】

本発明の半導体記憶装置は、メモリセルアレイ領域及び周辺回路領域を有する装置であって、

前記メモリセルアレイ領域及び前記周辺回路領域における半導体基板上に、第１の絶縁膜を介して形成された、シリコン層を少なくとも一部に含む導電層及び第２の絶縁膜を含むゲート電極と、

前記メモリセルアレイ領域における前記ゲート電極に含まれる前記導電層の側面及び前記半導体基板上に形成された第１の酸化膜と、

前記周辺回路領域における前記ゲート電極に含まれる前記導電層の側面及び前記半導体基板上に形成された、前記第１の酸化膜より膜厚が薄い第２の酸化膜と、

前記メモリセルアレイ領域における前記ゲート電極の側面に形成された第１の窒化膜と、

前記周辺回路領域における前記ゲート電極の側面に形成された、前記第１の窒

化膜より膜厚が厚い第２の窒化膜と、

を備えることを特徴とする。

【００１４】

ここで、ゲート電極を導電層と絶縁膜との積層構造とする替わりに、導電層のみで構成してもよい。

【００１５】

この場合には、前記周辺回路領域において、前記ゲート電極の表面上と、前記ゲート電極が形成されていない領域における前記半導体基板の表面上とに形成された金属シリコン化合物から成る膜と、

前記メモリセルアレイ領域において、前記ゲート電極の表面上と、前記ゲート電極が形成されていない領域における前記半導体基板の表面上とに形成された金属シリコン化合物から成る膜と、

をさらに備えることもできる。

【００１６】

本発明の半導体記憶装置の製造方法は、

前記メモリセルアレイ領域及び前記周辺回路領域における半導体基板上に第１の絶縁膜を形成する工程と、

前記第１の絶縁膜上に、シリコン層を少なくとも一部に含む導電層及び第２の絶縁膜を形成する工程と、

前記導電層及び第２の絶縁膜をゲート電極の形状にパターニングしてゲート電極を形成する工程と、

前記ゲート電極に含まれる前記導電層の側面及び前記半導体基板上に酸化雰囲気中で熱処理を施して第１の酸化膜を形成する工程と、

表面全体に第１の窒化膜を形成する工程と、

前記第１の窒化膜をパターニングして、前記メモリセルアレイ領域における前記第１の窒化膜を除去し、前記周辺回路領域における前記第１の窒化膜を残存させる工程と、

前記周辺回路領域を前記第１の窒化膜で覆った状態で、前記メモリセルアレイ領域における前記ゲート電極に含まれる前記導電層の側面及び前記半導体基板上

に酸化雰囲気中で熱処理を施して第２の酸化膜を形成する工程と、

前記周辺回路領域に残存する前記第１の窒化膜にエッチングを行い、前記周辺回路領域における前記ゲート電極の側面に前記第１の窒化膜を残存させる工程と、

表面全体に第２の窒化膜を形成する工程と、

前記第２の窒化膜にエッチングを行い、前記メモリセルアレイ領域及び前記周辺回路領域における前記ゲート電極の側面に前記第２の窒化膜を残存させる工程と、

を備えることを特徴とする。

【００１７】

ここで、導電層と絶縁膜とを積層してゲート電極の形状にパターニングする替わりに、導電層のみを堆積してパターニングしてもよい。

【００１８】

この場合、前記周辺回路領域において、前記第１の窒化膜及び前記第２の窒化膜が側面に形成された前記ゲート電極における前記導電層上の前記第１の酸化膜を除去して表面を露出させ、前記ゲート電極が形成されていない領域における前記半導体基板上の前記第１の絶縁膜及び前記第１の酸化膜を除去して表面を露出させ、前記メモリセルアレイ領域において、前記第２の窒化膜が側面に形成された前記ゲート電極における前記導電層上の前記第１の酸化膜及び前記第２の酸化膜を除去して表面を露出させ、前記ゲート電極が形成されていない領域における前記半導体基板上の前記第１の絶縁膜、前記第１の酸化膜及び前記第２の酸化膜を除去して表面を露出させる工程と、

表面全体に金属膜を形成する工程と、

前記周辺回路領域における表面が露出した前記ゲート電極上と、前記ゲート電極が形成されていない領域における表面が露出した前記半導体基板上と、前記メモリセルアレイ領域における表面が露出した前記ゲート電極上と、前記ゲート電極が形成されていない領域における表面が露出した前記半導体基板上とに存在するそれぞれの前記金属膜に熱処理を施して金属シリコン化合物から成る膜を形成する工程をさらに備えることもできる。

【００１９】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。尚、第１～第３の実施の形態はトレンチキャパシタ型ＤＲＡＭ、第４～第６の実施の形態はスタックキャパシタ型ＤＲＡＭである。

【００２０】

（１）　第１の実施の形態

図１に示されたように、半導体基板１の表面部分において、フォトリソグラフィ法及びＲＩＥ法により深さ約３０００Å程度の素子分離溝２を形成する。素子分離溝２内のシリコン側面に熱酸化を行って熱酸化膜を形成した後、ＴＥＯＳ等のシリコン酸化膜を素子分離埋め込み酸化膜３として埋め込む。化学的機械的研磨法（以下、ＣＭＰという）等の平坦化プロセスを経て素子領域及び素子分離領域を形成する。

【００２１】

本実施の形態はトレンチキャパシタ型ＤＲＡＭであり、メモリセルアレイ領域において、半導体基板１の表面部分にトレンチ１９を形成し、埋め込みプレート電極２０、絶縁酸化膜２１、ストレージノードコンタクト２２を形成してトレンチキャパシタ１８を得る。

【００２２】

半導体基板１の表面上に犠牲酸化膜１７（約７０Å）を熱酸化により形成した後、フォトリソグラフィ法及び不純物のイオン注入法を用いて、メモリセルアレイ領域及び周辺回路領域にウエル／チャネル不純物を注入し、最後に活性化アニールを行う。

【００２３】

半導体基板１上の犠牲酸化膜１７を剥離した後、図２に示されたように熱酸化によりゲート酸化膜４（約７０Å）を形成する。ゲート電極材として例えばリンが導入されたｎ型アモルファスシリコン膜５（約１０００Å）、タングステンシリコン（ＷＳｉ）膜６（約５５０Å）及びキャップ用シリコン窒化膜７（約２０００Å）を順次低圧化学的気相成長法（以下、ＬＰ－ＣＶＤという）やスパッタ

法等により堆積させる。ここで、アモルファスシリコン膜５は、ｐ型であってもよい。

【００２４】

フォトリソグラフィ法によりゲート電極のパターンを有する図示されていないフォトレジスト膜を形成し、反応性イオンエッチング（以下、ＲＩＥという）を行いキャップ用シリコン窒化膜７及びゲート電極材としてのアモルファスシリコン膜５及びタングステンシリコン膜６をエッチングすることで、ゲート電極パターンを形成する。

【００２５】

次に、タングステンの異常酸化を抑制するために、ＲＴＡ（Rapid Thermal Anneal）による熱工程処理を行い、その後ＲＴＯ（Rapid Thermal Oxidation）により、図３に示されたようにゲート電極側面に酸化膜８を形成する。

【００２６】

このとき、半導体基板１の表面部分も酸化されるため、シリコン酸化膜が形成される。このときのゲート側壁酸化膜８の膜厚は、周辺回路領域のトランジスタのソース／ドレイン不純物のイオン注入の時に低加速条件が適用できるように半導体基板１表面の酸化膜厚を厚くさせないため、例えば約５０Å以下であって望ましくは約２０Åが適当である。

【００２７】

尚、ゲート側壁酸化膜８に対するアニール処理は、ゲート電極材料等の条件により、必要としない場合もある。

【００２８】

図４に示されたように、周辺回路領域において、トランジスタのソース／ドレイン拡散層のうちＬＤＤ構造における拡張部を形成するため、図示されていないフォトレジスト膜を形成し不純物のイオン注入を行う。この後、レジスト膜を剥離する。

【００２９】

不純物のイオン注入を終了した後、注入された不純物を活性化させるための活性化アニールを、例えば窒素雰囲気中において約９５０℃で約１０秒間行う。尚

、このアニール工程は必ずしも実施しなくてもよい。

【００３０】

図５に示されたように、周辺回路領域を保護するためのシリコン窒化膜１０を例えば１００ÅをＬＰ－ＣＶＤにより堆積する。成膜温度は例えば約７５０℃としてもよいが、より低温で成膜が可能であればこの温度には限定されない。そして、周辺回路領域を保護するフォトレジスト膜１１を形成する。そして、図６に示されたように、等方性エッチング（例えばウェットエッチング、ＣＤＥ等）によりメモリセルアレイ領域に堆積したシリコン窒化膜１０を剥離し、その後フォトレジスト膜１１を剥離する。

【００３１】

図７に示されたように、周辺回路領域にのみシリコン窒化膜１０を残存させた状態で、熱酸化工程によりメモリセルアレイ領域のゲート電極５の側面及び半導体基板１の表面上に熱酸化膜１２を形成する。このときの最終的な熱酸化膜１２の厚さは、例えば約１００～１２０Åに制御する必要がある。尚、この膜厚はデバイス特性の合せ込みにより自在に変更することが可能で、必ずしも１００～１２０Åの範囲内に限定するものではない。尚、このとき周辺回路領域はシリコン窒化膜１０で覆われているため、周辺回路領域における半導体基板１の表面及びゲート電極５の側壁は酸化されない。

【００３２】

これにより、図７に示されたように、メモリセルアレイ領域において、ゲート電極５の側面下部において熱酸化膜１２により形成されたバーズビーク１００の方が、周辺回路領域において、ゲート電極５の側面下部において酸化膜８により形成されたバーズビーク１０１より大きくなる。

【００３３】

また、ゲート電極５の側面に形成された酸化膜厚が、メモリセルアレイ領域におけるものの方が周辺回路領域におけるものよりも厚いことが、半導体基板１の表面上における酸化膜厚に対しても同様の結果をもたらす。即ち、メモリセルアレイ領域における基板上の酸化膜の方が、周辺回路領域におけるものより厚くなる。このことが、周辺回路領域における低加速度でのイオン注入によるソース／

ドレインの浅接合化に寄与する。

【００３４】

その後、ＲＩＥ法により熱酸化膜１２に対して高い選択比を取ることができる条件でシリコン窒化膜１０をエッチバックする。これにより、図８に示されたように、周辺回路領域のシリコン基板表面及び素子分離埋め込み酸化膜上のシリコン窒化膜がエッチングにより除去され、周辺回路領域のトランジスタゲートの側面にシリコン窒化膜側壁が残る状態となる。

【００３５】

この状態で、フォトリソグラフィ法により図示されていないフォトレジスト膜を形成し、図９に示されたようにメモリセルアレイ領域のみにソース／ドレイン不純物のイオン注入を行いソース／ドレイン拡散層１３を形成する。その後、不純物活性化のためのアニール処理を、例えば窒素雰囲気中で約９５０℃、約１０秒間行う。

【００３６】

ＬＰ－ＣＶＤ法により例えば約２００Åの膜厚でシリコン窒化膜を堆積させ、ＲＩＥ法により全面エッチバックを行う。これにより、図１０に示されたように、メモリセルアレイ領域、周辺回路領域のそれぞれのトランジスタのゲート電極５側面にスペーサシリコン窒化膜１４が形成される。このとき、周辺回路領域のトランジスタのスペーサシリコン窒化膜は、シリコン窒化膜１４と図８に示された工程で形成されたシリコン窒化膜１０とが含まれるため約３００Åの膜厚を有し、メモリセルアレイ領域におけるもの（約２００Å）より厚くなっている。

【００３７】

このように、周辺回路領域のゲート電極側壁の膜厚が厚いことで、ソース／ドレイン拡散層をゲート電極における導電層５からより遠ざけた位置に形成することができるため、周辺回路領域のトランジスタにおいて短チャネル効果を抑えつつ高い駆動力を得ることが可能となる。

【００３８】

周辺回路領域、メモリセルアレイ領域共にフォトリソグラフィ法により図示されていないフォトレジスト膜を形成し、ソース／ドレイン用の不純物のイオン注

入を行い、不純物活性化のため活性化アニール処理を例えば窒素雰囲気中で約９５０℃、約１０秒間行う。これにより、図１１に示されたように、メモリセルアレイ領域のトランジスタにはソース／ドレイン拡散層１５、周辺回路領域のトランジスタにはソース／ドレイン拡散層１６を形成することができる。

【００３９】

その後、全面にコンタクトホールエッチング時にストッパとして作用するバリアシリコン窒化膜２３をＬＰ－ＣＶＤ法により例えば約８０Åの膜厚で堆積し、さらにＢＰＳＧ膜から成る層間絶縁膜２８を堆積してＣＭＰ法により平坦化を行う。各コンタクトホールをフォトリソグラフィ法及びＲＩＥ法により形成する。周辺回路領域において、例えばチタニウム／窒化チタニウムータングステン等の金属材を埋め込んでコンタクト２５を形成し、メモリセルアレイ領域においてメモリセルビット線コンタクト２４を形成する。

【００４０】

その後、例えばアルミニウムを全面に堆積させ、フォトリソグラフィ法及びＲＩＥ法を用いて、メモリセルアレイ領域においてビット線等の配線層２６を形成し、周辺回路領域において周辺回路用配線層２７を形成することで、最終的にＤＲＡＭを完成させる。

【００４１】

本実施の形態によれば、メモリセルアレイ領域と周辺回路領域とにおけるゲート電極の側壁の膜厚に関し、メモリセルアレイ領域では厚く周辺回路領域では薄くすることが可能である。特に、メモリセルアレイ領域では、ゲート電極の側壁下部に形成されるバーズビークが、周辺回路領域よりも大きくなるので、この付近における電界集中が緩和され、ＧＩＤＬ電流が減少してデータ保持特性が改善される。さらに、周辺回路領域においてソース／ドレイン構造が浅接合化され、高速化が実現される。

【００４２】

尚、本実施の形態では、ゲート電極を形成する時に、多結晶シリコン膜５及びタングステンシリコン膜６から成る導電層とキャップ用シリコン窒化膜７とを積層した状態でパターニングしている。このため、自己整合コンタクト形成プロセ

スの適用が可能であり、汎用ＤＲＡＭメモリセル等集積度の高いデバイスに対する適用性が高いという利点がある。

【００４３】

（２）　第２の実施の形態

本実施の形態は、周辺回路領域におけるトランジスタのソース／ドレイン拡散層の形成が上記第１の実施の形態と異なる。

【００４４】

上記第１の実施の形態における図７に示された工程（トレンチキャパシタ１８を形成し、素子分離工程及びゲート電極形成工程を経てゲート電極側壁酸化膜８を形成し、周辺回路領域のトランジスタ用ソース／ドレイン拡散層９を形成し、周辺回路領域のみにシリコン窒化膜１０を形成する工程を経た後、メモリセルアレイ領域のゲート電極５の側面に再度熱酸化により熱酸化膜１２を形成する）までは同様であり、この段階における素子の断面を図１３に示す。

【００４５】

その後、ＲＩＥ法により熱酸化膜１２に対して高い選択比を取ることができる条件でシリコン窒化膜１０をエッチバックする。これにより、周辺回路領域の半導体基板１表面及び素子分離埋め込み酸化膜３上のシリコン窒化膜１０がエッチング除去され、周辺回路領域のトランジスタ用ゲート電極５の側面にシリコン窒化膜１０が残る状態となる。

【００４６】

この状態で、フォトリソグラフィ法により図示されていないフォトレジスト膜を形成し、メモリセルアレイ領域のみにソース／ドレイン用不純物のイオン注入を行って、図１４に示されたようにソース／ドレイン拡散層１３を形成する。

【００４７】

この後、上記第１の実施の形態と異なり、フォトリソグラフィ法により図示されていないフォトレジスト膜を形成し、周辺回路領域内の特定のトランジスタ領域に、ソース／ドレイン不純物のイオン注入を行う。不純物活性化のアニール処理を例えば約９５０℃、約２１０秒間行い、ソース／ドレイン拡散層３０を形成する。

【００４８】

次に、ＬＰ－ＣＶＤ法によりシリコン窒化膜を例えば約２００Å堆積させ、ＲＩＥ法により全面エッチバックすることで、図１５に示されたように、メモリセルアレイ領域、周辺回路領域のトランジスタ領域共にゲート電極５の側面にスペーサシリコン窒化膜１４が形成される。このとき、周辺回路領域のトランジスタのスペーサシリコン窒化膜は、シリコン窒化膜１０の膜厚約１００Åが加算されるため約３００Åであり、メモリセルアレイ領域のシリコン窒化膜１４の膜厚（約２００Å）よりも厚くなっており、より短チャネル効果抑制のためのソース／ドレイン構造を形成しやすい構造となっている。

【００４９】

メモリセルアレイ領域、周辺回路領域のトランジスタ共にフォトリソグラフィ法により図示されていないフォトレジスト膜を形成し、不純物のイオン注入を行い、不純物活性化のための活性化アニール処理を例えば約９５０℃で約２１０秒間を施す。これにより、メモリセルアレイ領域のトランジスタ領域にはソース／ドレイン拡散層１３、周辺回路領域のトランジスタ領域にはソース／ドレイン拡散層１６を形成することができる。

【００５０】

この後、上記第１の実施の形態と同様に、全面にコンタクトホールエッチング時にストッパとして作用するバリアシリコン窒化膜２３をＬＰ－ＣＶＤ法により例えば約８０Åの膜厚で堆積し、さらにＢＰＳＧ膜から成る層間絶縁膜２８を堆積してＣＭＰ法により平坦化を行う。各コンタクトホールをフォトリソグラフィ法及びＲＩＥ法により形成する。周辺回路領域において、例えばチタニウム／窒化チタニウムータングステン等の金属材を埋め込んでコンタクト２５を形成し、メモリセルアレイ領域においてメモリセルビット線コンタクト２４を形成する。

【００５１】

その後、例えばアルミニウムを全面に堆積させ、フォトリソグラフィ法及びＲＩＥ法を用いて、メモリセルアレイ領域においてビット線等の配線層２６を形成し、周辺回路領域において周辺回路用配線層２７を形成することで、最終的にＤＲＡＭを完成させる。

【００５２】

本実施の形態においても、上記第１の実施の形態と同様に、メモリセルアレイ領域と周辺回路領域とでゲート電極の側壁の膜厚を変えることで、メモリセルアレイ領域におけるデータ保持特性の改善及び周辺回路領域のソース／ドレイン構造の浅接合化による高速性が実現される。また、ゲート電極形成時に自己整合コンタクト形成プロセスの適用が可能であり、汎用ＤＲＡＭメモリセル等集積度の高いデバイスに対して高い適用性が得られる。

【００５３】

（３）　第３の実施の形態

上記第１、第２の実施の形態はゲート電極が導電層と絶縁層との積層構造を有するのに対し、本実施の形態はゲート電極が導電層のみを有する点で相違する。

【００５４】

図１８に示されたように、上記第１の実施の形態と同様の工程を経て、半導体基板１の表面部分に素子領域を形成するため、フォトリソグラフィ法及びＲＩＥ法により深さ約３０００Åの素子分離溝２を形成し、溝２内の側面に熱酸化により熱酸化膜を形成した後、ＴＥＯＳ等のシリコン酸化膜を埋め込み酸化膜３として素子分離溝２に埋め込み、ＣＭＰ等の平坦化プロセスを経て素子領域及び素子分離領域を形成する。さらに、メモリセルアレイ領域においてトレンチキャパシタ１８を形成する。

【００５５】

半導体基板１の表面上に犠牲酸化膜１７（約７０Å）を熱酸化により形成した後、フォトリソグラフィ法及び不純物のイオン注入法を用いて、メモリセルアレイ領域及び周辺回路領域にウエル／チャネル不純物を注入し、最後に活性化アニールを行う。

【００５６】

半導体基板１上の犠牲酸化膜１７を剥離した後、図１９に示されたように、熱酸化によりゲート酸化膜４を例えば約７０Åの膜厚で形成する。ここで、ゲート電極材として例えばリンが導入されたアモルファスシリコン膜５をＬＰ－ＣＶＤにより堆積させる。フォトリソグラフィ法によりゲート電極パターンを有する図

示されていないフォトレジスト膜を形成し、ＲＩＥを行ってゲート電極材をエッチングし、ゲート電極３１を形成する。

【００５７】

図２０に示されたように、ＲＴＯによりゲート電極３１の側面にシリコン酸化膜８を形成する。このとき、半導体基板１の表面及びゲート電極３１の表面上も酸化されるため、シリコン酸化膜８が全面に形成される。このときのゲート電極３１の側壁酸化膜の膜厚は、周辺回路領域のトランジスタのソース／ドレイン不純物のイオン注入の時に低加速条件を適用することができるように、半導体基板１表面の酸化膜厚を厚くさせないようにする必要があり、例えば約２０Åが適当である。

【００５８】

周辺回路領域のトランジスタ用にソース／ドレイン拡散層におけるＬＤＤ構造の拡張領域）を形成するため、図示されていないフォトレジスト膜を用いて所望の不純物のイオン注入を行い、ソース／ドレイン拡散層９を形成する。この後、レジスト膜を剥離する。

【００５９】

この拡散層形成用の不純物のイオン注入を行った後、注入された不純物を活性化させるため活性化アニールを例えば窒素雰囲気中において約９５０℃で約１０秒間行う。尚、このアニール工程は必ずしも行わなくともよい。

【００６０】

図２２に示されたように、周辺回路領域を保護するため、シリコン窒化膜１０を例えば約１００Åの膜厚でＬＰ－ＣＶＤにより堆積する。成膜温度は例えば約７５０℃としてもよいが、低温で成膜が可能であればより低い温度が好ましい。

【００６１】

そして、周辺回路領域を保護するようにフォトレジスト膜１１を形成した後、等方性エッチング（例えばウェットエッチング、ＣＤＥ等）によりメモリセルアレイ領域に堆積したシリコン窒化膜１０を剥離し、その後フォトレジスト膜１１を剥離する。

【００６２】

図２３に示されたように、周辺回路領域にのみシリコン窒化膜１０が堆積された状態で熱酸化工程を行う。この工程により、図２４に示されたように、メモリセルアレイ領域のゲート電極３１の側面及び半導体基板１上に熱酸化膜１２を形成する。このとき、最終的な熱酸化膜１２の厚さは所定の膜厚、例えば約１００～１２０Åに制御する必要があるが、この膜厚はデバイス特性の合せ込みにより自在に変更することが可能であり、必ずしも１００～１２０Åの範囲内に限定するものではない。尚、このとき周辺回路領域はシリコン窒化膜１０で覆われているため、周辺回路領域の半導体基板１表面及びゲート電極３１の側面は酸化されず熱酸化膜１２は形成されない。

【００６３】

その後、ＲＩＥ法によりシリコン酸化膜１２に対して高い選択比を取ることができる条件でシリコン窒化膜１０をエッチバックする。これにより、図２５に示されたように、周辺回路領域の半導体基板１上及び素子分離溝２内の埋め込み酸化膜３上のシリコン窒化膜１０がエッチング除去され、周辺回路領域のゲート電極３１の側面にのみシリコン窒化膜１０が残る状態となる。

【００６４】

この状態で、図２６に示されたように、フォトリソグラフィ法により図示されないフォトレジスト膜を形成し、メモリセルアレイ領域のみにソース／ドレイン用不純物のイオン注入を行ってソース／ドレイン拡散層１３を形成する。この後、不純物活性化のアニール処理を例えば窒素雰囲気中において約９５０℃で約１０秒間行う。

【００６５】

図２７に示されたように、ＬＰ－ＣＶＤ法によりシリコン窒化膜を約２００Åの膜厚で堆積させ、ＲＩＥ法により全面エッチバックを行い、メモリセルアレイ領域、周辺回路領域共にゲート電極３１の側面にスペーサシリコン窒化膜１４を形成する。このとき、周辺回路領域のスペーサシリコン窒化膜１０及び１４の膜厚は、上記第１、第２の実施の形態と同様に約３００Åというようにメモリセルアレイ領域のシリコン窒化膜１４の膜厚（約２００Å）より厚くなっている。このため、より短チャネル効果抑制のためのソース／ドレイン構造を形成しやすい

構造を得ることができる。

【００６６】

周辺回路領域及びメモリセルアレイ領域共に、フォトリソグラフィ法により図示されないフォトレジスト膜を形成し、図２８に示されたように、不純物のイオン注入を行い不純物活性化のための活性化アニール処理を窒素雰囲気中において約９５０℃で約１０秒間行うことで、メモリセルアレイ領域ではソース／ドレイン拡散層１５、周辺回路領域ではソース／ドレイン拡散層１６を形成することができる。

【００６７】

例えばフッ酸等の薬液を用いて、図２９に示されたように、半導体基板１表面及びゲート電極３１上の熱酸化膜４、１２をエッチング除去し、半導体基板１表面のシリコン及びゲート電極３１上面のポリシリコンを露出させる。

【００６８】

図３０に示されたように、例えばコバルト／チタン／窒化チタン（Ｃｏ／Ｔｉ／ＴｉＮ）（膜厚がそれぞれ１２０／２００／２００Å）から成る積層膜３２をスパッタリング等により堆積させ、窒素雰囲気中において約４８０℃で約６０秒間アニール処理を行い、硫酸加水によりこの積層膜３２を除去する。さらに再度窒素雰囲気中において約８００℃で約３０秒間アニール処理を行うことで、図３１に示されたように半導体基板１表面及びゲート電極３１の上面に選択的にサリサイド膜３３が形成される。

【００６９】

尚、データ保持特性劣化を防ぐため、例えばストレージノードコンタクト２２上にサリサイド膜３３が形成されないようなプロセスを追加するなど、デバイス特性に応じたサリサイドプロセスを適用してもよい。

【００７０】

その後、上記第１、第２の実施の形態と同様に、図３２に示されたように、全面にコンタクトホールエッチング時にストッパとして作用するバリアシリコン窒化膜２３をＬＰ－ＣＶＤ法により例えば約８０Åの膜厚で堆積し、さらにＢＰＳＧ膜から成る層間絶縁膜２８を堆積してＣＭＰ法により平坦化を行う。各コンタ

クトホールをフォトリソグラフィ法及びＲＩＥ法により形成する。周辺回路領域において、例えばチタニウム／窒化チタニウムータングステン等の金属材を埋め込んでコンタクト２５を形成し、メモリセルアレイ領域においてメモリセルビット線コンタクト２４を形成する。

【００７１】

その後、例えばアルミニウムを全面に堆積させ、フォトリソグラフィ法及びＲＩＥ法を用いて、メモリセルアレイ領域においてビット線等の配線層２６を形成し、周辺回路領域において周辺回路用配線層２７を形成することで、最終的にＤＲＡＭを完成させる。

【００７２】

本実施の形態においても、上記第１、第２の実施の形態と同様に、ゲート電極の側壁の膜厚がメモリセルアレイ領域では薄く周辺回路領域では厚くなっており、これによりメモリセルアレイ領域におけるデータ保持特性の改善及び周辺回路領域のソース／ドレイン構造の浅接合化による高速性とを共に実現することができる。

【００７３】

さらに、本実施の形態では上記第１、第２の実施の形態と異なり、多結晶シリコン膜等の導電層のみを堆積した状態で電極形状にパターニングしている。このため、シリサイドプロセスとの相性がよいので、高速動作が要求されるロジック回路をＤＲＡＭと混載した装置に対して特に有益である。

【００７４】

（４）　第４の実施の形態

本実施の形態は、上記第１の実施の形態におけるトレンチキャパシタをスタックキャパシタに置き換えたものに相当し、他の構成要素及びその工程は上記第１の実施の形態におけるものと同様である。

【００７５】

図３３に示されたように、半導体基板１の表面部分において、フォトリソグラフィ法及びＲＩＥ法により深さ約３０００Å程度の素子分離溝２を形成する。素子分離溝２内のシリコン側壁に熱酸化を行って熱酸化膜を形成した後、ＴＥＯＳ

等のシリコン酸化膜を素子分離埋め込み酸化膜３として埋め込む。ＣＭＰ等の平坦化プロセスを経て素子領域及び素子分離領域を形成する。

【００７６】

その後、図２から図１１に示された上記第１の実施の形態と同様の工程を経て、メモリセルアレイ領域及び周辺回路領域にトランジスタを形成する。

【００７７】

さらに上記第１の実施の形態と同様に、全面にコンタクトホールエッチング時にストッパとして作用するバリアシリコン窒化膜２３をＬＰ－ＣＶＤ法により例えば約８０Åの膜厚で堆積し、さらにＢＰＳＧ膜から成る層間絶縁膜２８を堆積してＣＭＰ法により平坦化を行う。各コンタクトホールをフォトリソグラフィ法及びＲＩＥ法により形成する。周辺回路領域において、例えばチタニウム／窒化チタニウム－タングステン等の金属材を埋め込んでコンタクト２５を形成し、メモリセルアレイ領域においてメモリセルビット線コンタクト２４を形成する。

【００７８】

その後、例えばアルミニウムを全面に堆積させ、フォトリソグラフィ法及びＲＩＥ法を用いて、メモリセルアレイ領域においてビット線等の配線層２６を形成し、周辺回路領域において周辺回路用配線層２７を形成する。

【００７９】

そしてプレート電極３５、キャパシタ誘電膜３６、ストレージノード電極３７を含むスタックキャパシタ３４を形成することで、ＤＲＡＭが完成する。

【００８０】

本実施の形態においても、上記第１、第２、第３の実施の形態と同様に、ゲート電極の側壁の膜厚がメモリセルアレイ領域では薄く周辺回路領域では厚くなっており、これによりメモリセルアレイ領域におけるデータ保持特性の改善及び周辺回路領域のソース／ドレイン構造の浅接合化による高速性とを共に実現することができる。

【００８１】

また上記第１、第２の実施の形態と同様に、ゲート電極形成時に自己整合コンタクト形成プロセスの適用が可能であり、汎用ＤＲＡＭメモリセル等集積度の高

いデバイスに対して高い適用性が得られる。

【００８２】

（５）　第５の実施の形態

本実施の形態は、上記第２の実施の形態におけるトレンチキャパシタをスタックキャパシタに置き換えたものに相当し、他の構成要素及びその工程は上記第２の実施の形態におけるものと同様である。

【００８３】

図３５に示されたように、半導体基板１の表面部分において、フォトリソグラフィ法及びＲＩＥ法により深さ約３０００Å程度の素子分離溝２を形成する。素子分離溝２内のシリコン側壁に熱酸化を行って熱酸化膜を形成した後、ＴＥＯＳ等のシリコン酸化膜を素子分離埋め込み酸化膜３として埋め込む。ＣＭＰ等の平坦化プロセスを経て素子領域及び素子分離領域を形成する。

【００８４】

その後、図１３から図１７に示された上記第２の実施の形態と同様の工程を経て、メモリセルアレイ領域及び周辺回路領域にトランジスタを形成する。

【００８５】

上記第２の実施の形態と同様に、全面にコンタクトホールエッチング時にストッパとして作用するバリアシリコン窒化膜２３をＬＰ－ＣＶＤ法により例えば約８０Åの膜厚で堆積し、さらにＢＰＳＧ膜から成る層間絶縁膜２８を堆積してＣＭＰ法により平坦化を行う。各コンタクトホールをフォトリソグラフィ法及びＲＩＥ法により形成する。周辺回路領域において、例えばチタニウム／窒化チタニウムータングステン等の金属材を埋め込んでコンタクト２５を形成し、メモリセルアレイ領域においてメモリセルビット線コンタクト２４を形成する。

【００８６】

例えばアルミニウムを全面に堆積させ、フォトリソグラフィ法及びＲＩＥ法を用いて、メモリセルアレイ領域においてビット線等の配線層２６を形成し、周辺回路領域において周辺回路用配線層２７を形成する。

【００８７】

そして、プレート電極３５、キャパシタ誘電膜３６、ストレージノード電極３

７を含むスタックキャパシタ３４を形成することで、ＤＲＡＭが完成する。

【００８８】

本実施の形態においても、上記第１、第２、第３の実施の形態と同様に、ゲート電極の側壁の膜厚がメモリセルアレイ領域では薄く周辺回路領域では厚くなっており、これによりメモリセルアレイ領域におけるデータ保持特性の改善及び周辺回路領域のソース／ドレイン構造の浅接合化による高速性とを共に実現することができる。

【００８９】

さらに上記第２の実施の形態と同様に、ゲート電極形成時に自己整合コンタクト形成プロセスの適用が可能であり、汎用ＤＲＡＭメモリセル等集積度の高いデバイスに対して高い適用性が得られる。

【００９０】

（６）　第６の実施の形態

本実施の形態は、上記第３の実施の形態におけるトレンチキャパシタをスタックキャパシタに置き換えたものに相当し、他の構成要素及びその工程は上記第３の実施の形態におけるものと同様である。

【００９１】

図３７に示されたように、半導体基板１の表面部分において、フォトリソグラフィ法及びＲＩＥ法により深さ約３０００Å程度の素子分離溝２を形成する。素子分離溝２内のシリコン側面に熱酸化を行って熱酸化膜を形成した後、ＴＥＯＳ等のシリコン酸化膜を素子分離埋め込み酸化膜３として埋め込む。ＣＭＰ等の平坦化プロセスを経て素子領域及び素子分離領域を形成する。

【００９２】

その後、図１８から図３２に示された上記第３の実施の形態と同様の工程を経て、メモリセルアレイ領域及び周辺回路領域にトランジスタを形成する。

【００９３】

上記第３の実施の形態と同様に、全面にコンタクトホールエッチング時にストッパとして作用するバリアシリコン窒化膜２３をＬＰ－ＣＶＤ法により例えば約８０Åの膜厚で堆積し、さらにＢＰＳＧ膜から成る層間絶縁膜２８を堆積してＣ

ＭＰ法により平坦化を行う。各コンタクトホールをフォトリソグラフィ法及びＲＩＥ法により形成する。周辺回路領域において、例えばチタニウム／窒化チタニウム－タングステン等の金属材を埋め込んでコンタクト２５を形成し、メモリセルアレイ領域においてメモリセルビット線コンタクト２４を形成する。

【００９４】

その後、例えばアルミニウムを全面に堆積させ、フォトリソグラフィ法及びＲＩＥ法を用いて、メモリセルアレイ領域においてビット線等の配線層２６を形成し、周辺回路領域において周辺回路用配線層２７を形成する。

【００９５】

プレート電極３５、キャパシタ誘電膜３６、ストレージノード電極３７を含むスタックキャパシタ３４を形成することで、ＤＲＡＭが完成する。

【００９６】

本実施の形態においても、上記第３の実施の形態と同様に、ゲート電極の側壁の膜厚がメモリセルアレイ領域では薄く周辺回路領域では厚くなっており、これによりメモリセルアレイ領域におけるデータ保持特性の改善及び周辺回路領域のソース／ドレイン構造の浅接合化による高速性とを共に実現することができる。

【００９７】

上述した実施の形態はいずれも一例であって、本発明を限定するものではなく、本発明の技術的範囲内において様々に変形することができる。例えば、それぞれの膜の材料や成膜法、成膜条件、厚さは一例であり、所望のものを自由に選択することができる。

【００９８】

【発明の効果】

以上説明したように、本発明の半導体記憶装置及びその製造方法によれば、メモリセルアレイ領域と周辺回路領域とにおけるそれぞれのゲート電極側壁の膜厚を、メモリセルアレイ領域におけるものは薄く、周辺回路領域におけるものは厚くすることで、メモリセルアレイ領域においてゲート電極の側面下部に形成される側壁のバーズビーク形状が大きくなり、この部分とソース／ドレイン拡散層との間の電界が緩和されてＧＩＤＬ電流が低減するため、データ保持特性が改善

けるデータ保持特性の改善と共に、周辺回路領域においてソース／ドレイン不純物を低加速度でイオン注入が可能でソース／ドレイン構造の浅接合化が実現され、トランジスタの短チャネル効果が抑制され高速動作が実現される。

【図面の簡単な説明】

【図１】

本発明の第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図４】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図５】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図６】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図７】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図８】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図９】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１０】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１１】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１２】

同第１の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１３】

本発明の第２の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１４】

同第２の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１５】

同第２の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１６】

同第２の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１７】

同第２の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１８】

本発明の第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図１９】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２０】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２１】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２２】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２３】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２４】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２５】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２６】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２７】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図２８】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦

断面図。

【図２９】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３０】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３１】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３２】

同第３の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３３】

本発明の第４の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３４】

同第４の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３５】

本発明の第５の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３６】

同第５の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３７】

本発明の第６の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３８】

同第６の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【図３９】

同第６の実施の形態による半導体記憶装置における工程別の素子断面を示す縦断面図。

【符号の説明】

１　半導体基板

２　素子分離溝

３　素子分離用埋め込み酸化膜

４　ゲート酸化膜

５　ゲート電極（ｐ型不純物導入多結晶シリコン膜）

６　ゲート電極（タングステンシリコン膜）

７　ゲート（キャップ用シリコン窒化膜）

８　ゲート電極の側壁酸化膜

９、１６　ソース／ドレイン拡散層（周辺回路領域）

１０　シリコン窒化膜

１１　フォトレジスト膜

１２　ゲート電極の側壁酸化膜

１３、１５　ソース／ドレイン拡散層（メモリセルアレイ領域）

１４　スペーサ用シリコン窒化膜

１７　犠牲酸化膜

１８　トレンチキャパシタ

１９　トレンチ溝

２０　埋め込みプレート電極

２１　絶縁酸化膜

２２　ストレージノードコンタクト

２３　バリアシリコン窒化膜

２４　ビット線コンタクト（メモリセルアレイ領域）

２５　コンタクト（周辺回路領域）

２６　ビット線

２７　配線（周辺回路領域）

２８　層間絶縁膜（ＢＰＳＧ）

２９　層間絶縁膜（ＴＥＯＳ）

３０　ソース／ドレイン拡散層（周辺回路領域）

３１　ゲート電極（多結晶シリコン膜）

３２　積層膜（Ｃｏ／Ｔｉ／ＴｉＮ積層膜）

３３　サリサイド（Ｃｏ膜）

３４　スタックキャパシタ

３５　プレート電極

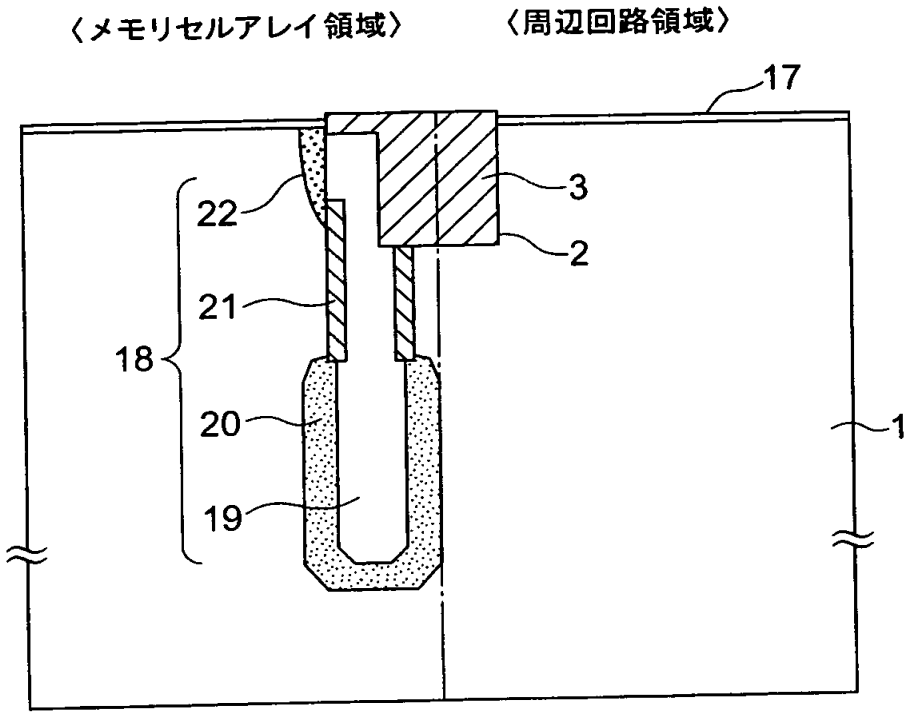
３６　キャパシタ誘電膜

３７　ストレージノード電極

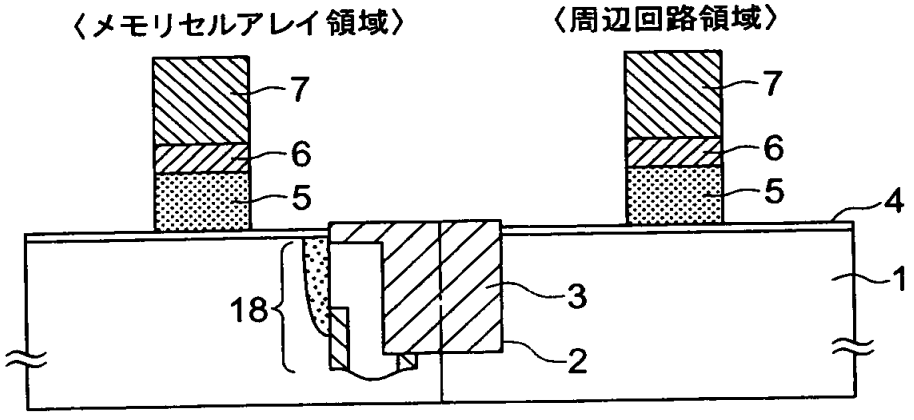
３８　ストレージノードコンタクト

【書類名】　図面

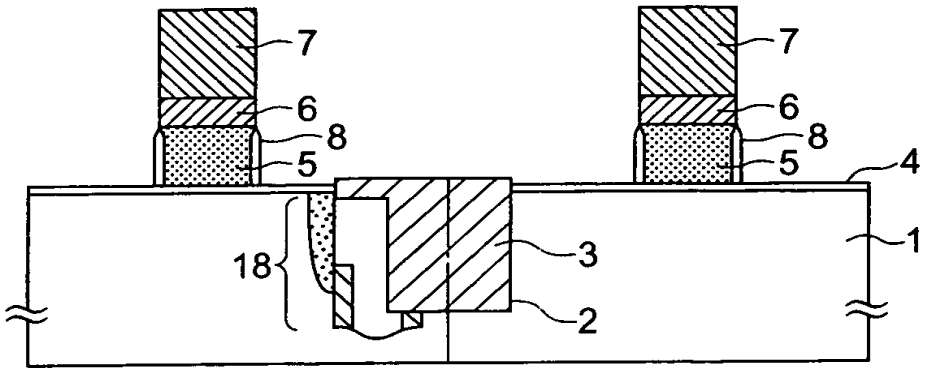
【図１】


〈メモリセルアレイ領域〉
〈周辺回路領域〉
17
22
3
2
21
18
20
1
19

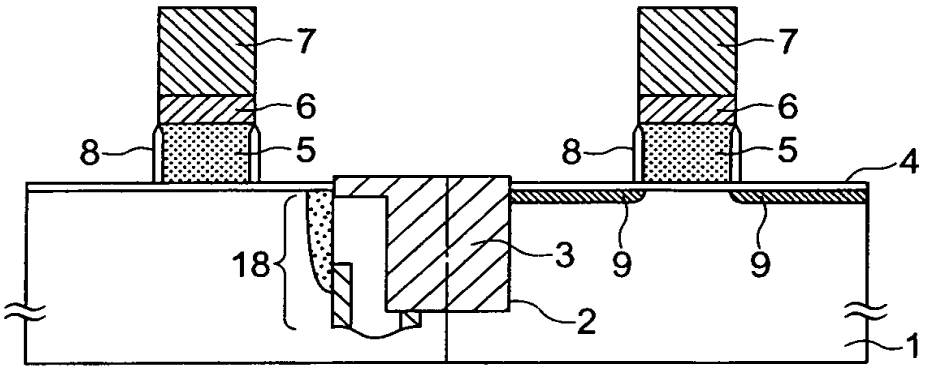
【図２】


〈メモリセルアレイ領域〉
〈周辺回路領域〉
7
7
6
6
5
5
4
1
18
3
2

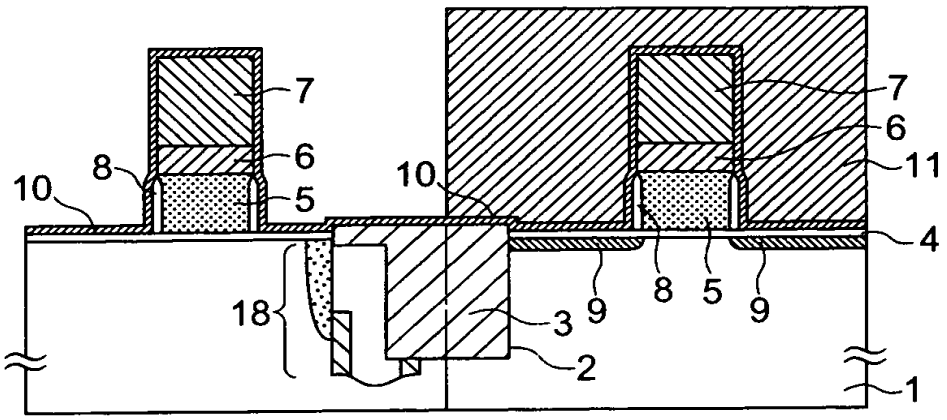
【図３】


7
6
8
5
7
6
8
5
4
1
18
3
2

【図４】

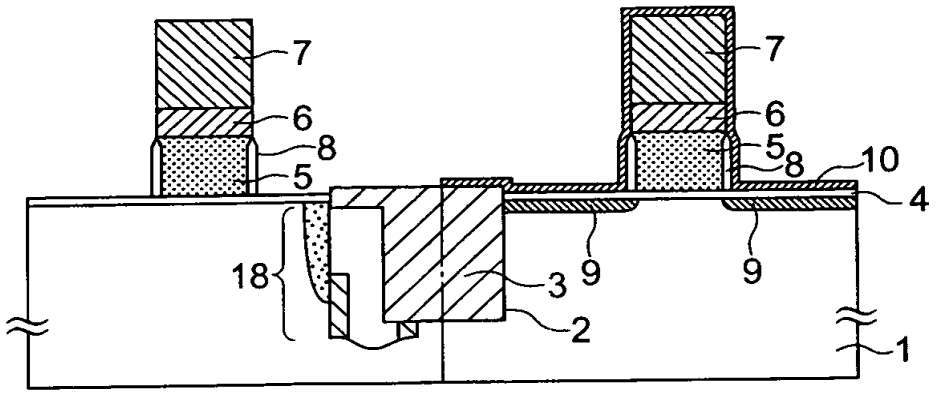

7
6
8
5
7
6
8
5
4
18
3
9
9
2
1

【図５】

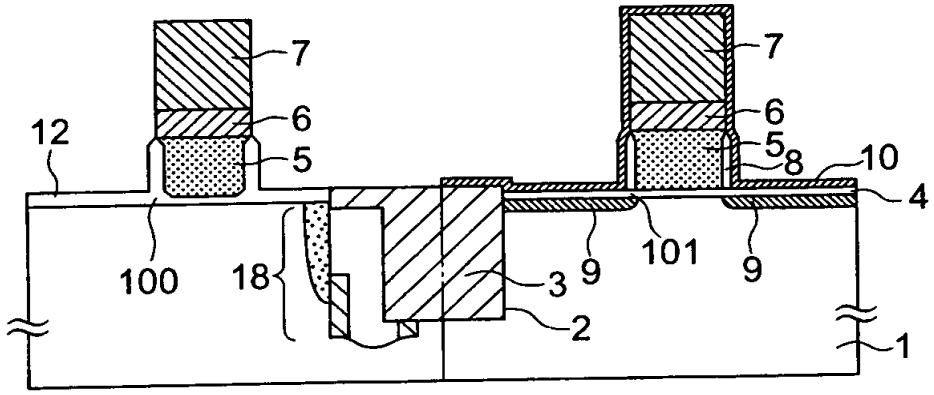

7
6
8
5
10
10
7
6
11
4
18
3
9
8
5
9
2
1

【図６】

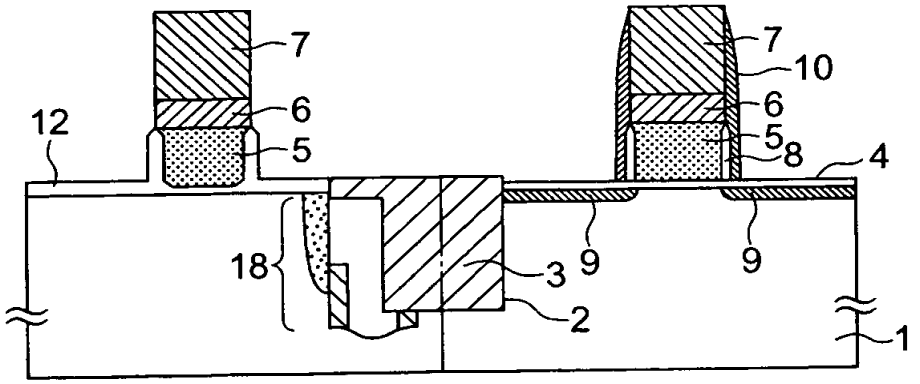
〈メモリセルアレイ領域〉　　〈周辺回路領域〉



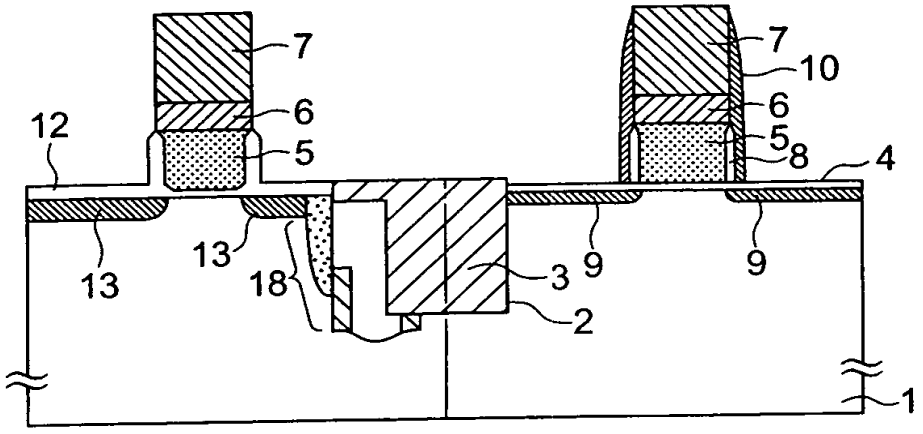
【図７】



【図８】

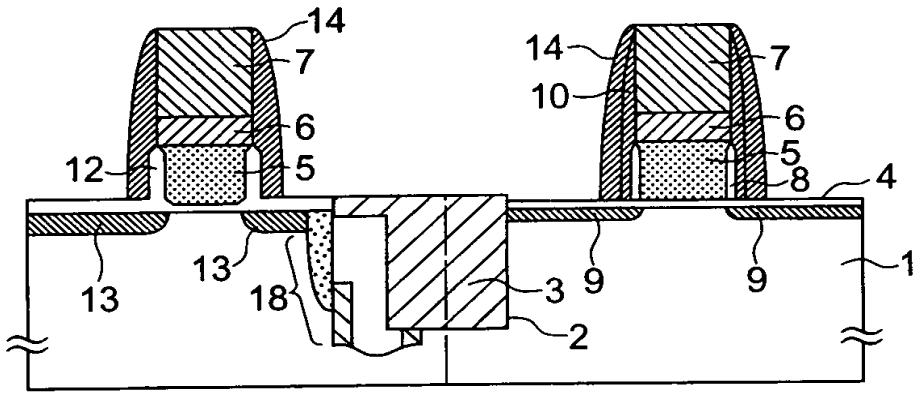


【図９】

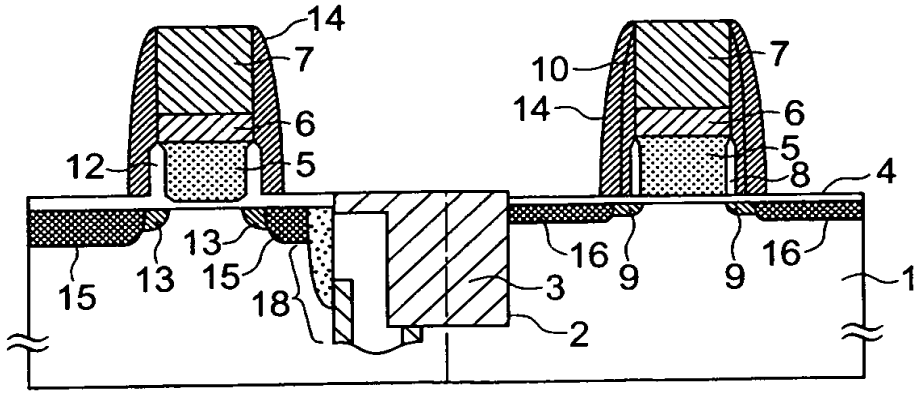


【図１０】

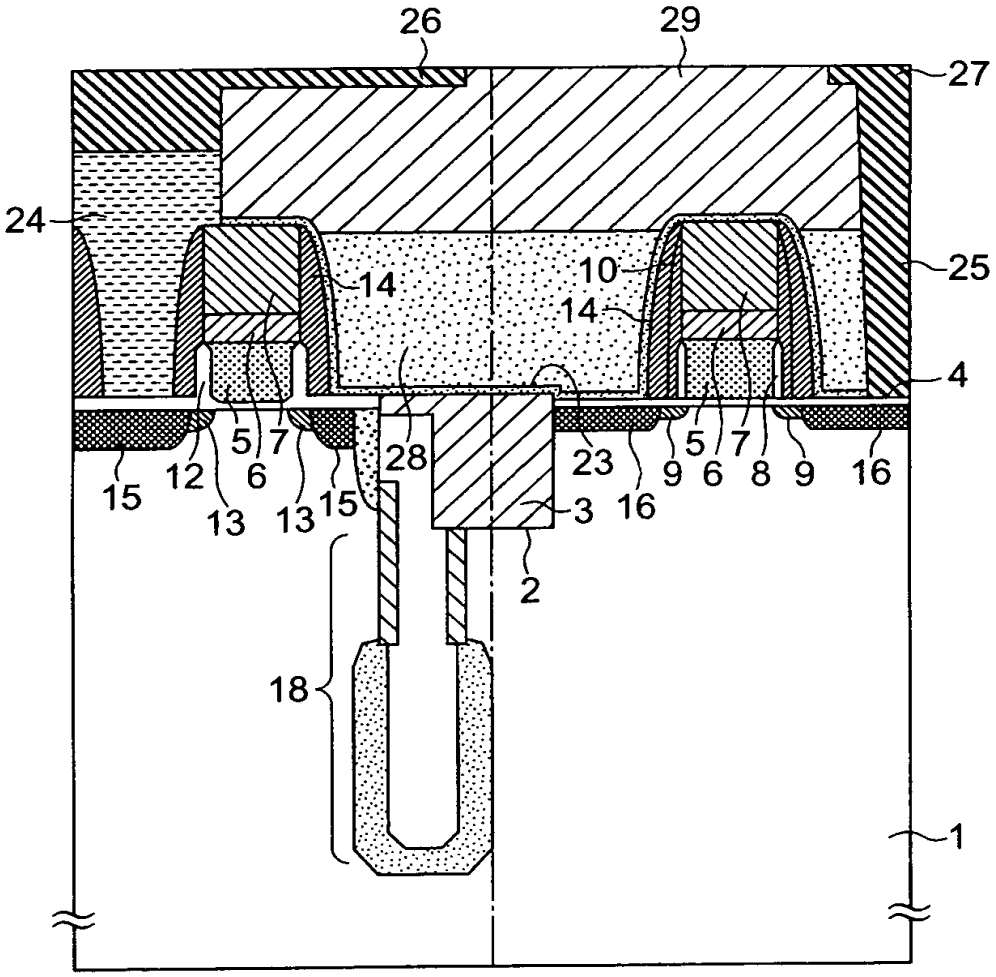
〈メモリセルアレイ領域〉　　〈周辺回路領域〉



【図１１】

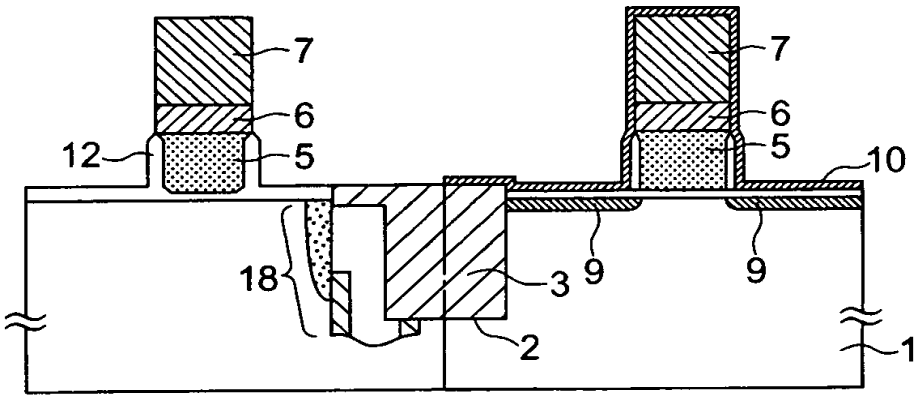


【図１２】

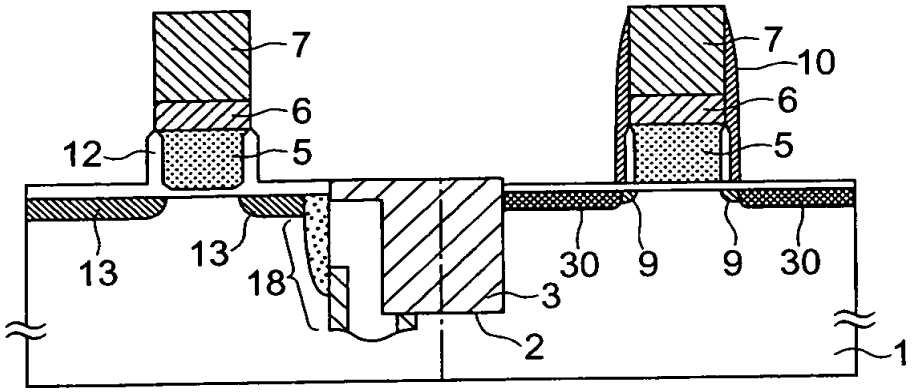


【図１３】

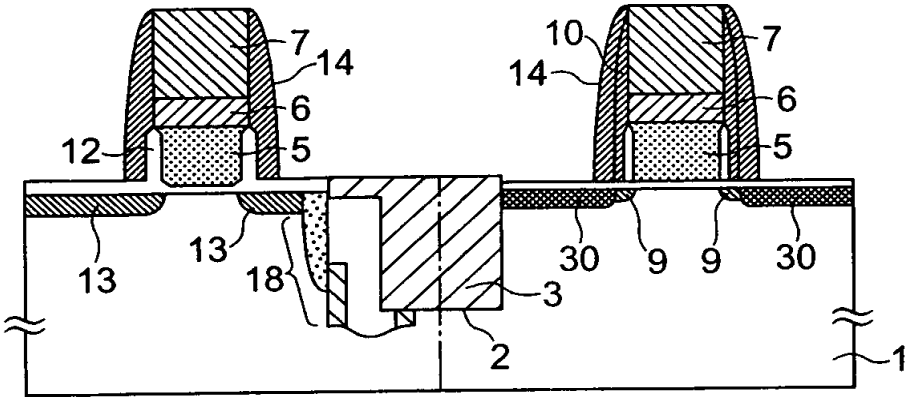
〈メモリセルアレイ領域〉　　〈周辺回路領域〉



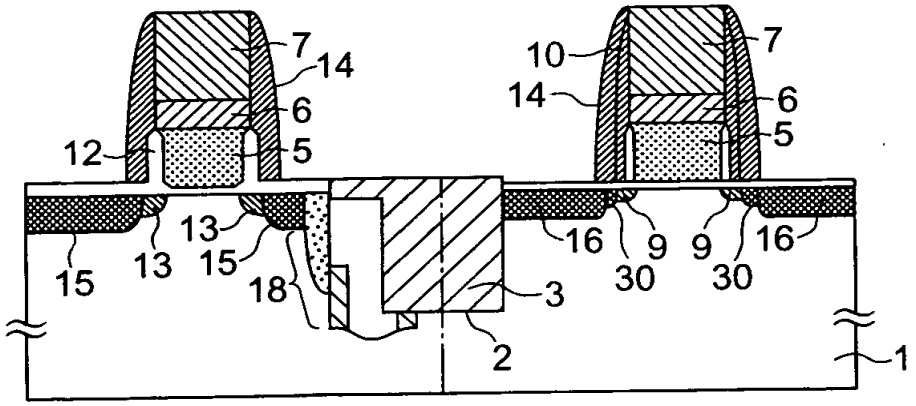
【図１４】


7
6
12
5
13
13
18
3
2
1
7
10
6
5
30
9
9
30

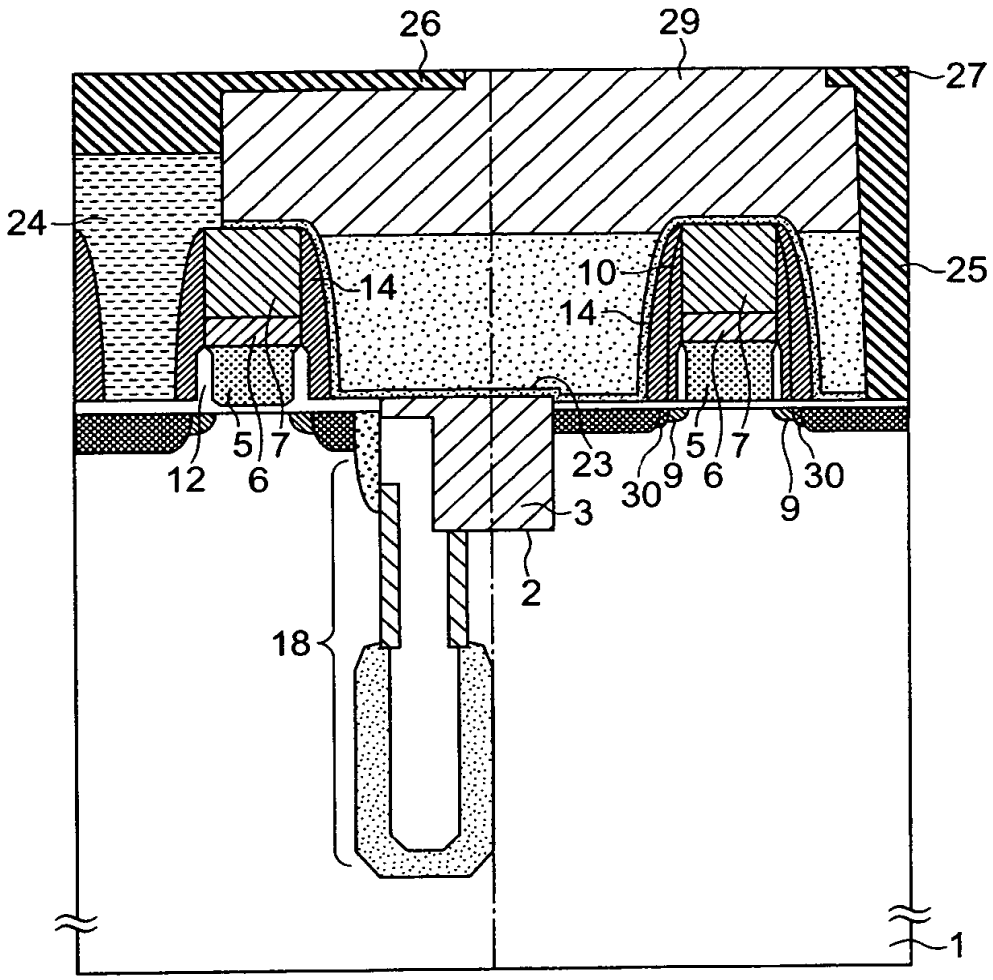
【図１５】


7
14
6
12
5
13
13
18
3
2
1
10
14
7
6
5
30
9
9
30

【図１６】

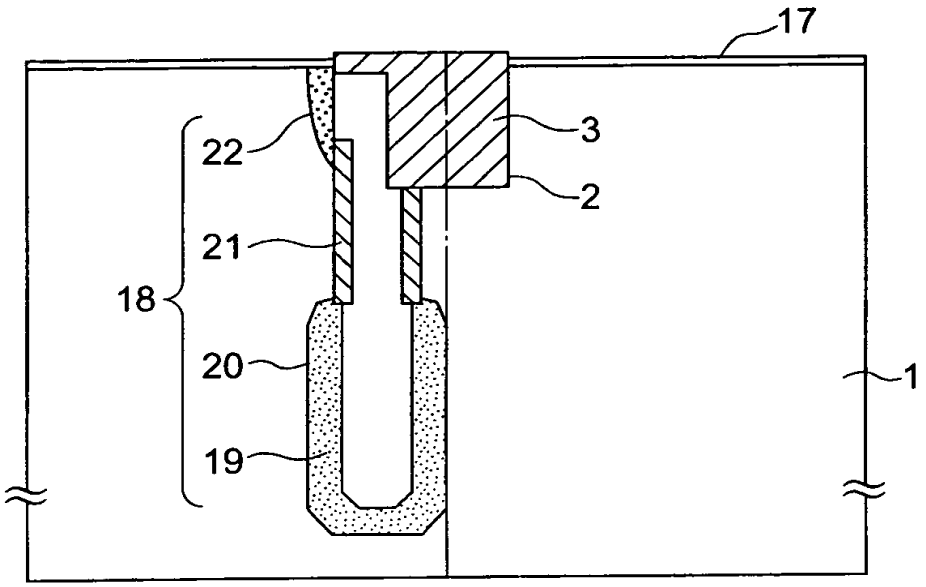

7
14
6
12
5
13
15
13
15
18
3
2
1
10
14
7
6
5
16
9
9
16
30
30

【図１７】

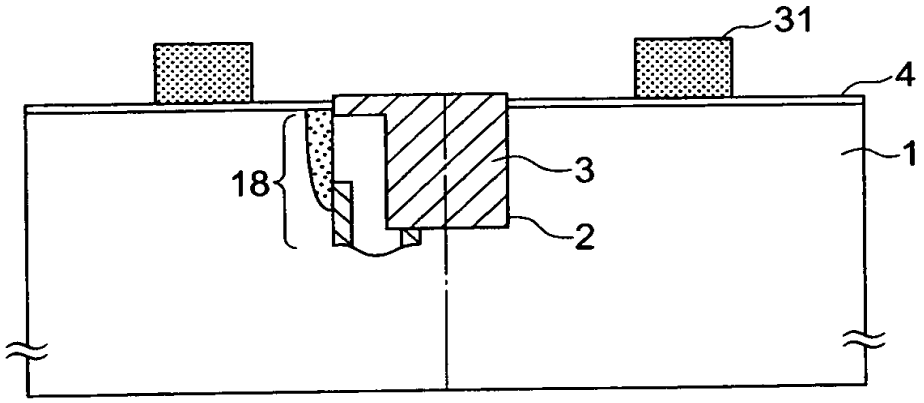

〈メモリセルアレイ領域〉
〈周辺回路領域〉
26
29
27
24
25
14
10
14
12
5
6
7
23
30
9
5
6
7
9
30
3
2
18
1

【図１８】

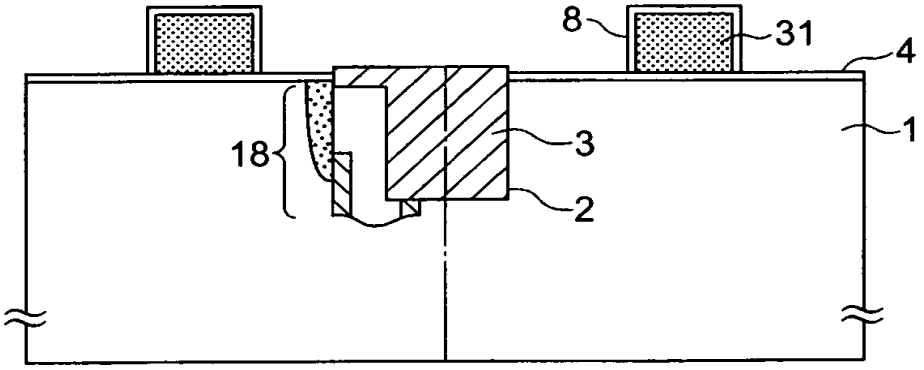
〈メモリセルアレイ領域〉　　〈周辺回路領域〉



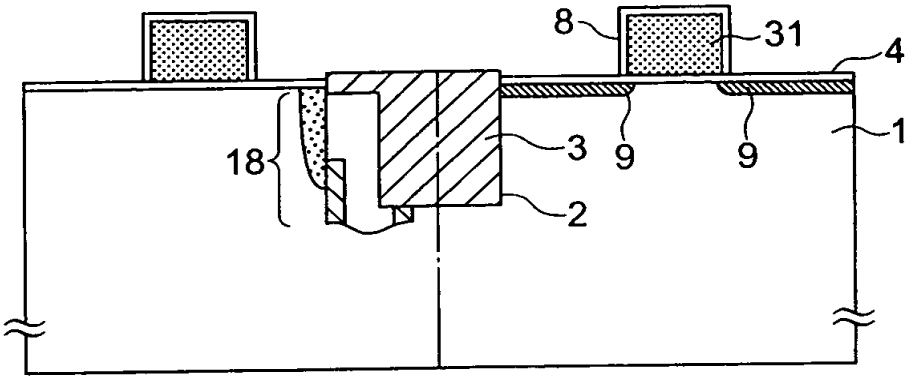
【図１９】



【図２０】

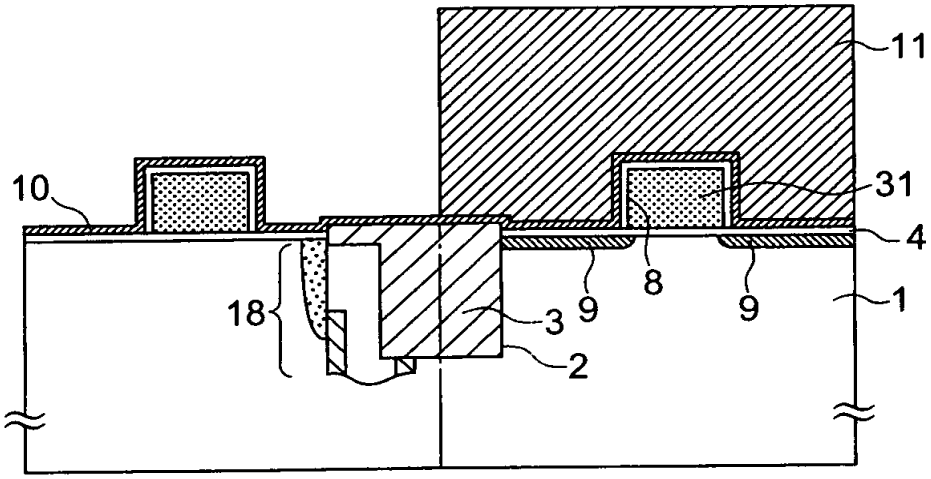


【図２１】

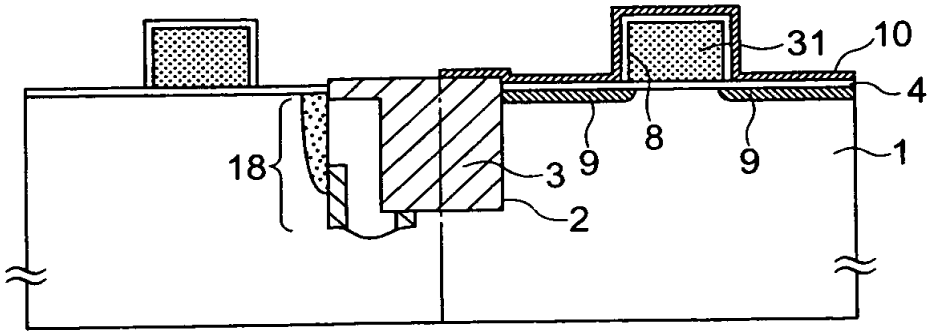


【図２２】

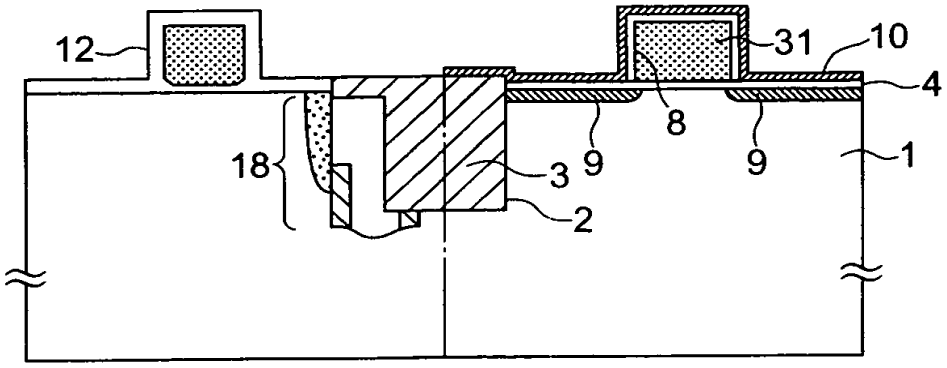
〈メモリセルアレイ領域〉　　〈周辺回路領域〉



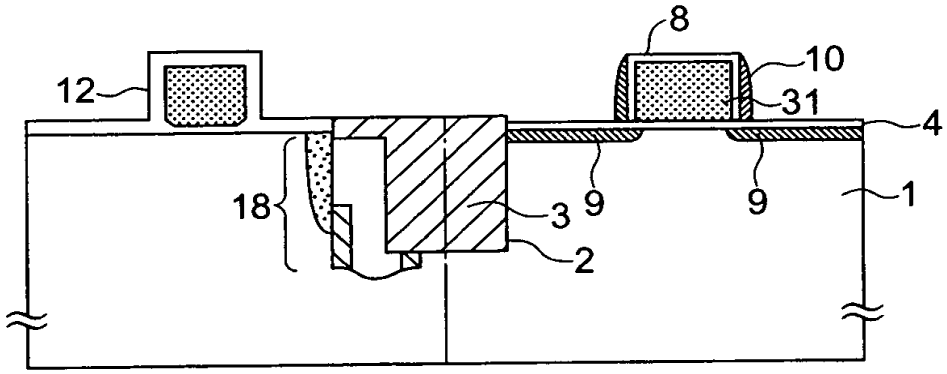
【図２３】



【図２４】

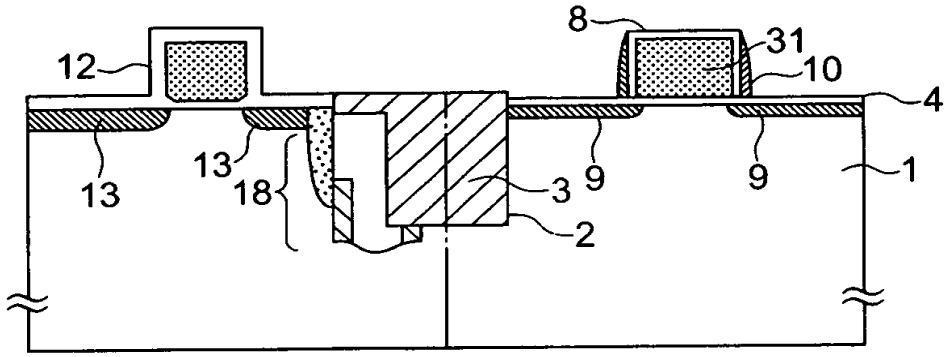


【図２５】

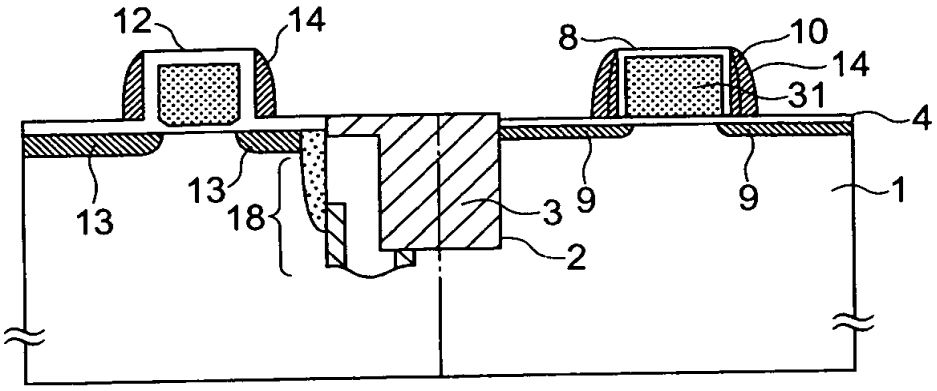


【図２６】

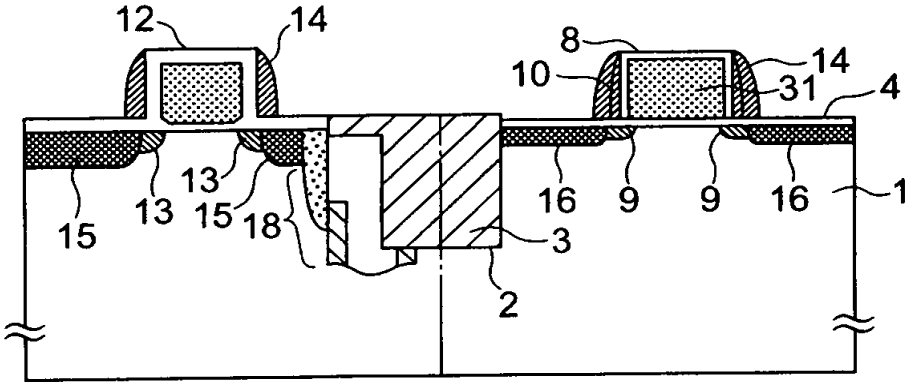
〈メモリセルアレイ領域〉　　〈周辺回路領域〉



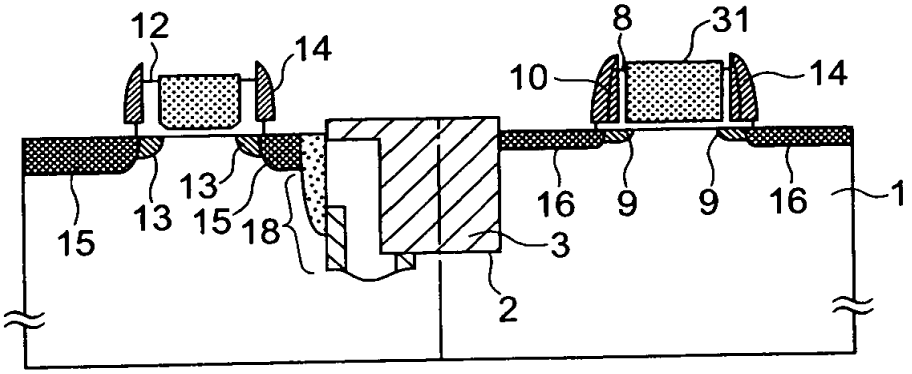
【図２７】


12
14
8
10
14
31
4
13
13
18
3
9
9
1
2

【図２８】

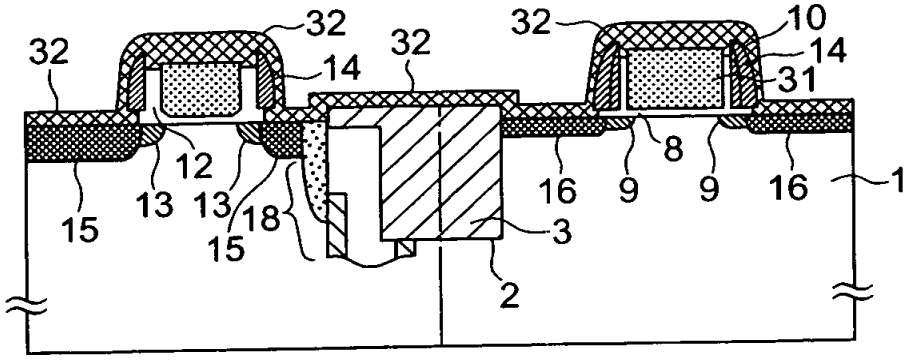

12
14
8
10
14
31
4
15
13
13
15
18
3
16
9
9
16
1
2

【図２９】

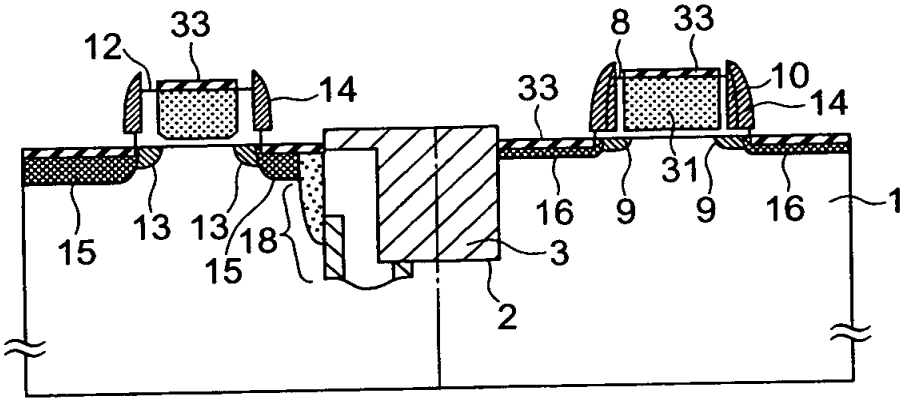

12
14
8
31
10
14
15
13
13
15
18
3
16
9
9
16
1
2

【図３０】

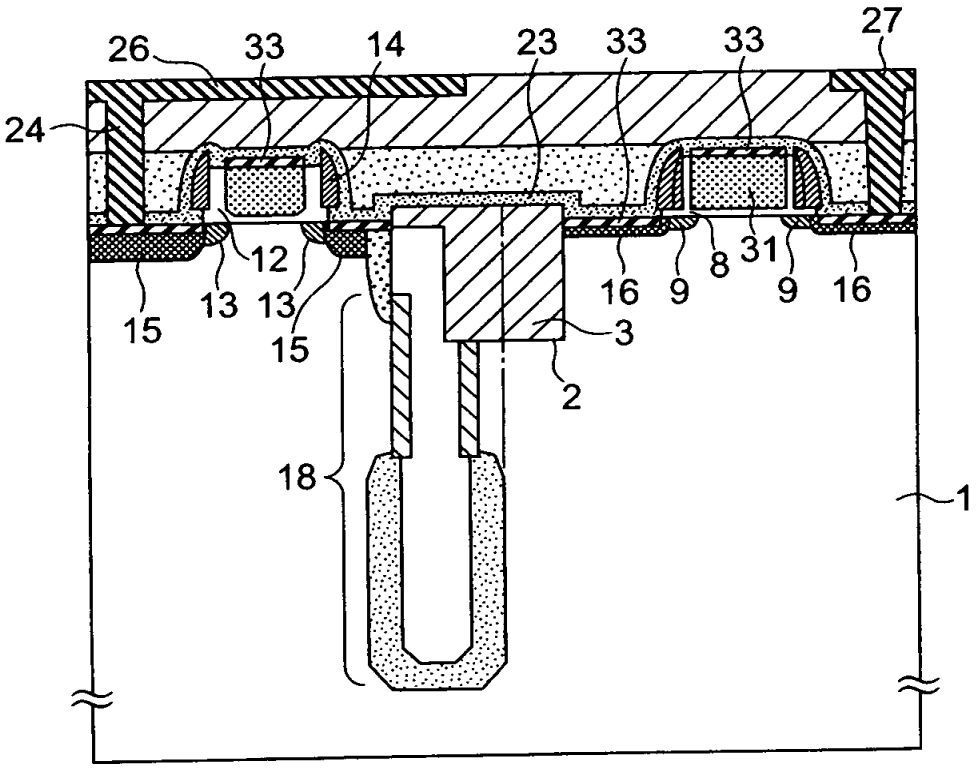
〈メモリセルアレイ領域〉　　〈周辺回路領域〉



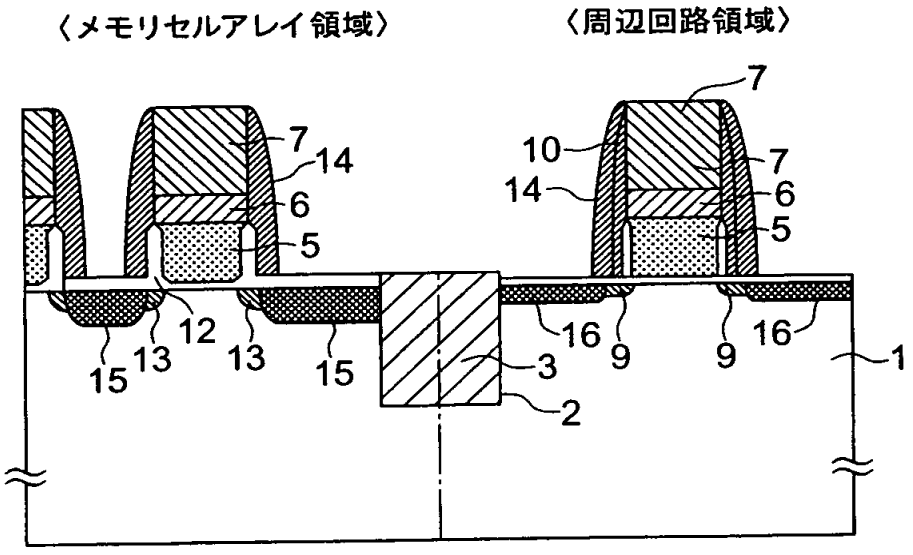
【図３１】



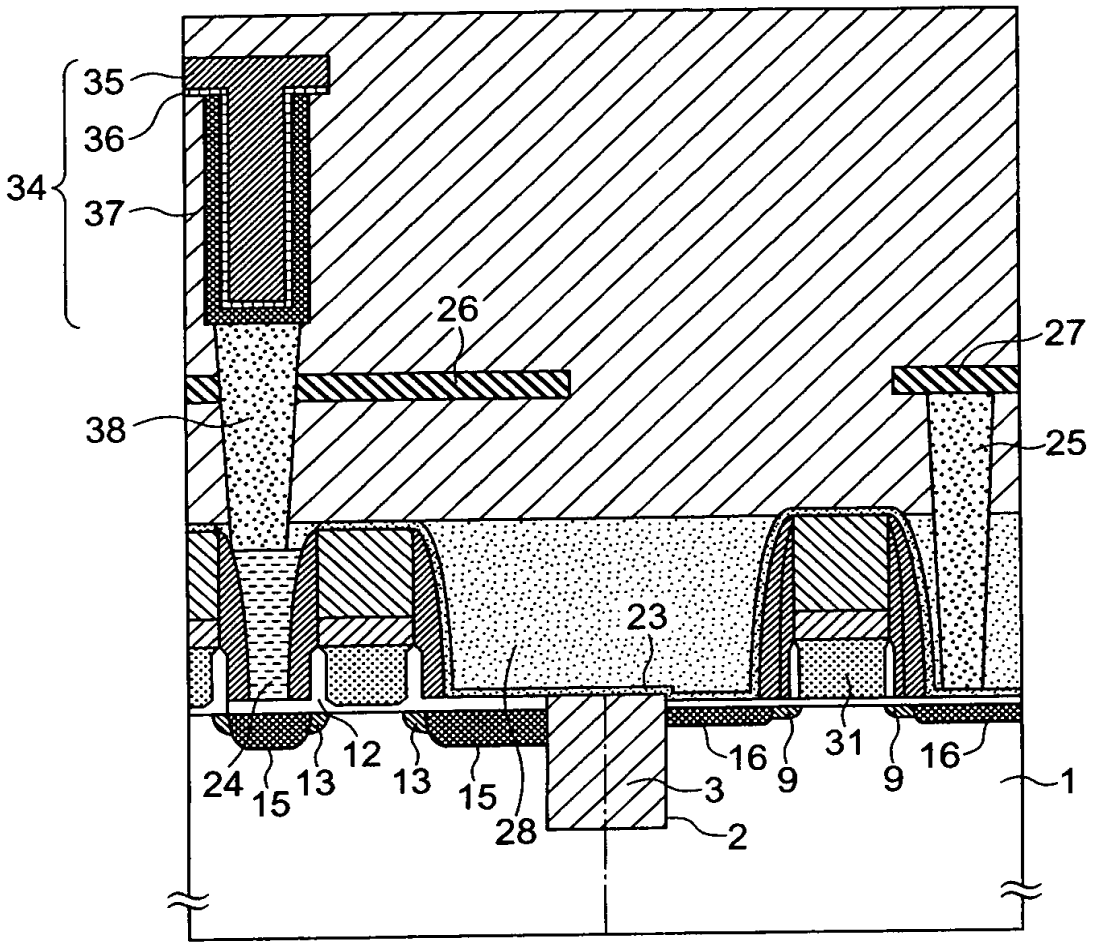
【図３２】


26
33
14
23
33
33
27
24
12
13
13
15
15
16
9
8
31
9
16
3
2
18
1

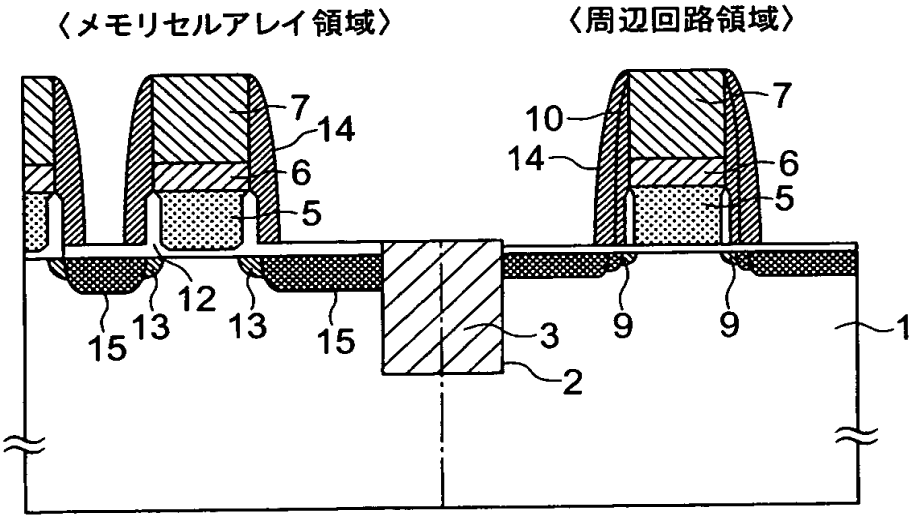
【図３３】


〈メモリセルアレイ領域〉
〈周辺回路領域〉
7
14
6
5
12
13
13
15
15
3
2
7
10
14
7
6
5
16
9
9
16
1

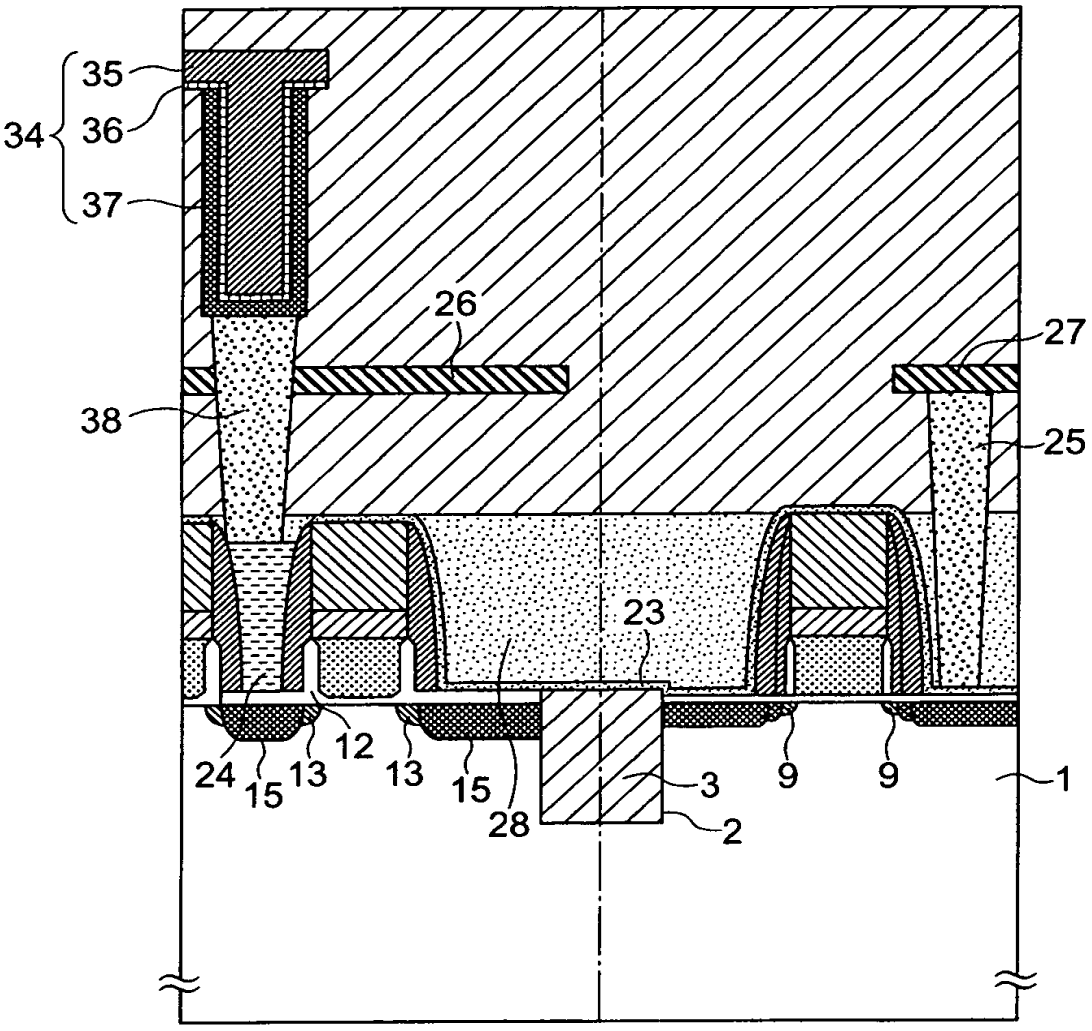
【図３４】


35
36
34
37
26
27
38
25
23
24
15
13
12
13
15
28
3
2
16
9
31
9
16
1

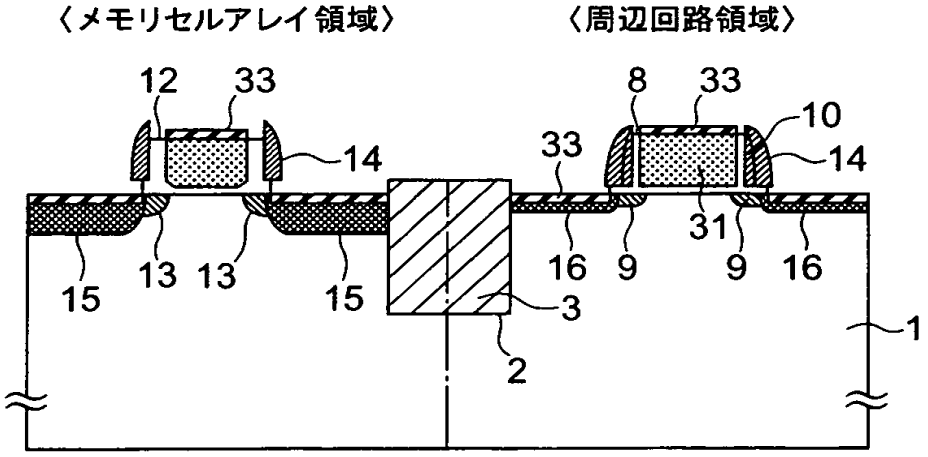
【図３５】


〈メモリセルアレイ領域〉
〈周辺回路領域〉
7
14
6
5
10
14
7
6
5
15
13
12
13
15
3
2
9
9
1

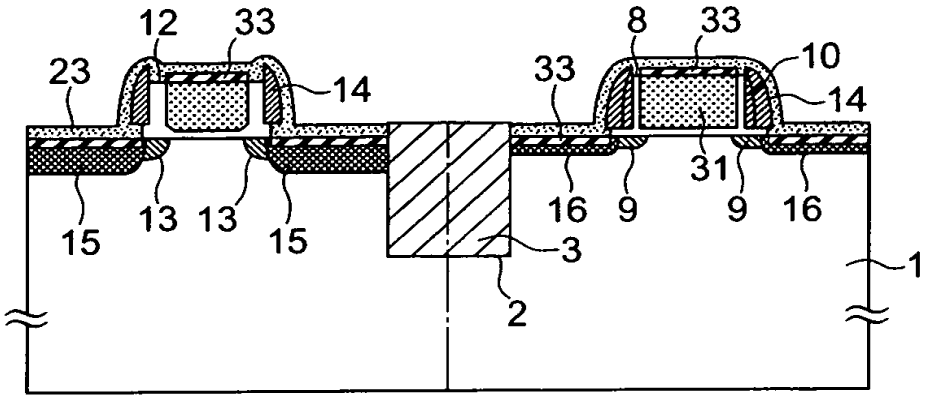
【図３６】


35
34
36
37
38
26
27
25
23
24
15
13
12
13
15
28
3
2
9
9
1

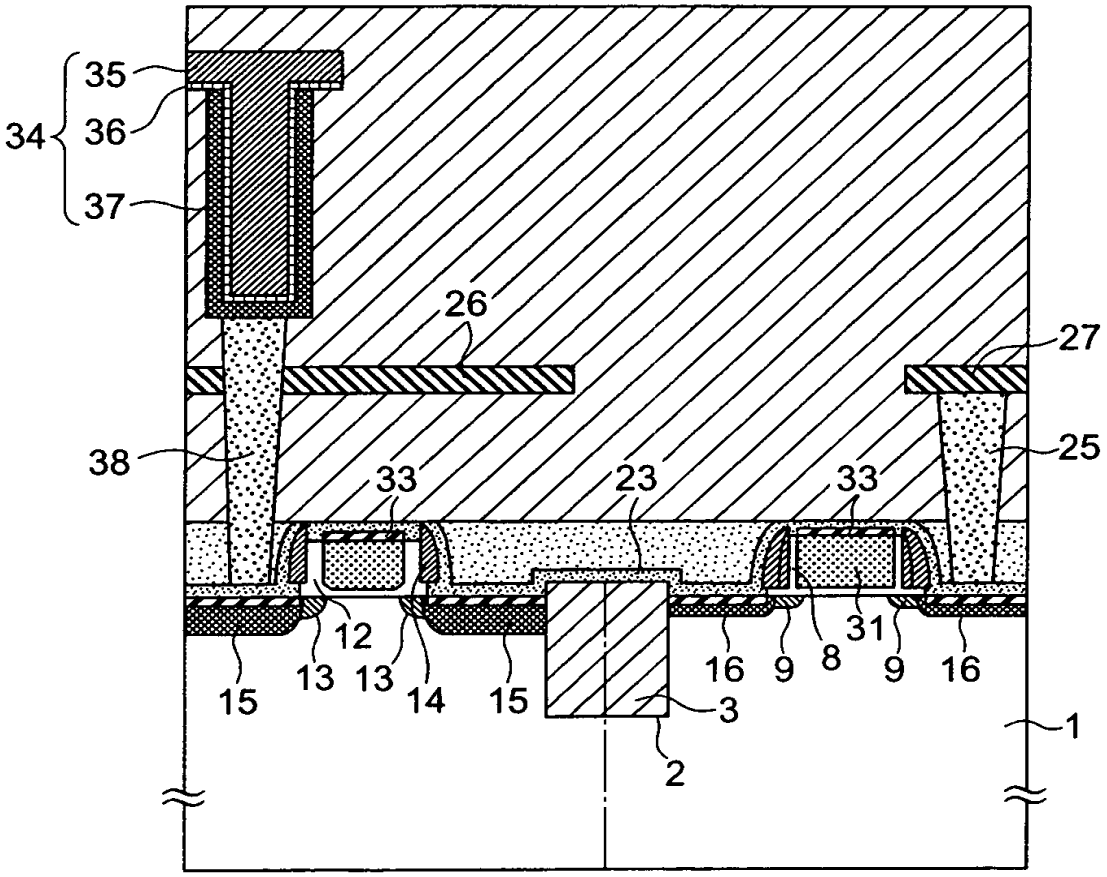
【図３７】


〈メモリセルアレイ領域〉
〈周辺回路領域〉
12
33
14
15
13
13
15
3
2
8
33
10
33
14
31
16
9
9
16
1

【図３８】


12
33
8
33
23
14
33
10
14
31
15
13
13
15
16
9
9
16
3
1
2

【図３９】


35
34
36
37
26
27
38
25
33
23
33
12
13
13
14
15
15
16
9
8
31
9
16
3
1
2

【書類名】　要約書

【要約】

【課題】　メモリセルの保持特性の向上と周辺回路の高速性とを共に実現することが可能な半導体記憶装置及びその製造方法を提供する。

【解決手段】　ゲート電極５の側壁膜厚をメモリセルアレイ領域では厚くすることでこの領域における半導体基板１上のシリコン酸化膜も厚くなり、側壁下部のバーズビークが大きくなり、この部分とソース／ドレイン拡散層１３、１５との間の電界が緩和されてＧＩＤＬ電流が低減し、データ保持特性が改善される。一方、周辺回路領域においてゲート側壁膜厚を薄くすることでこの領域での半導体基板１上のシリコン酸化膜４が薄くなりソース／ドレイン不純物を低加速度でイオン注入が可能でソース／ドレイン構造の浅接合化が実現され、トランジスタの短チャネル効果が抑制されて高速動作が実現される。

【選択図】　図１２

特願２００２－３０３８５９

出　願　人　履　歴　情　報

識別番号　　［０００００３０７８］

１．変更年月日　　２００１年　７月　２日
［変更理由］　　住所変更
住　所　　東京都港区芝浦一丁目１番１号
氏　名　　株式会社東芝